



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 06 551 A 1**

⑤① Int. Cl.⁷:
G 01 R 31/3183

②① Aktenzeichen: 100 06 551.1
②② Anmeldetag: 15. 2. 2000
④③ Offenlegungstag: 30. 11. 2000

DE 100 06 551 A 1

③⑥ Unionspriorität:
251096 16. 02. 1999 US
09/494321 28. 01. 2000 US

⑦① Anmelder:
Advantest Corp., Tokio/Tokyo, JP; Soma, Mani, Dr.,
Seattle, Wash., US

⑦④ Vertreter:
Hoffmann, E., Dipl.-Ing., Pat.-Anw., 82166
Gräfelfing

⑦② Erfinder:
Yamaguchi, Takahiro, Tokio/Tokyo, JP; Soma, Mani,
Dr., Seattle, Wash., US; Ishida, Masahiro,
Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Vorrichtung und Verfahren zur Erfassung eines Verzögerungsfehlers in einer PLL-Schaltung

⑤⑦ Beschrieben werden ein Verfahren und eine Vorrichtung zur Erfassung eines Verzögerungsfehlers in einer PLL-Schaltung. Ein Frequenzimpuls wird an die zu testende PLL-Schaltung als Referenztakt angelegt, und eine Wellenform eines von der PLL-Schaltung ausgegebenen Signals wird zum Schätzen von dessen Momentanphase zu einem Analytiksinal transformiert. Eine lineare Phase wird aufgrund der geschätzten Momentanphase geschätzt, und die geschätzte lineare Phase wird von der geschätzten Momentanphase entfernt, um einen Schwankungsterm der Momentanphase zu erhalten. Ein Verzögerungsfehler wird durch Vergleich einer Zeitdauer, während derer die PLL-Schaltung in einem Zustand des Schwingens mit einer bestimmten Frequenz bleibt, mit der Zeitdauer, während derer eine fehlerfreie PLL-Schaltung in einem Zustand des Schwingens mit einer bestimmten Frequenz bleibt, erfaßt.

DE 100 06 551 A 1

Die vorliegende Erfindung bezieht sich auf eine Vorrichtung und ein Verfahren zur Erfassung eines Verzögerungsfehlers in einer phasensynchronisierten Schleife, einer sogenannten PLL-Schaltung, und insbesondere auf eine Vorrichtung und ein Verfahren, die zur Erfassung eines Verzögerungsfehlers in einer PLL-Schaltung geeignet sind, die auf einem hochintegrierten Chip, einem sogenannten VLSI-Chip gebildet ist.

Ein Synchronsystem führt kooperative Operationen dadurch aus, daß die Zeitsteuerung einer Taktflanke gemeinsam genutzt wird. Je genauer die Zeitsteuerung der gemeinsam genutzten Flanke gesteuert wird, mit umso höherer Frequenz kann das synchrone System arbeiten. Fig. 2(a) zeigt ein Beispiel eines Synchronsystems. Bei diesem System sind mehrere (bei diesem Beispiel zwei) VLSI-Chips 11 und 12 auf einer einzigen Platine (nicht gezeigt) angeordnet. Ein Referenztakt ϕ wird von einem sehr präzisen Oszillator 13 (beispielsweise einem quarzgesteuerten Taktgenerator) auf der Platine an jeden der beiden VLSI-Chips 11 und 12 geliefert. In PLL-Schaltungen 14 und 15 auf diesen VLSI-Chips werden gemäß Darstellung in Fig. 2(b) Takte ϕ_{11} , ϕ_{12} , ϕ_{21} und ϕ_{22} mittels Taktgeneratoren erzeugt, die sich auf dem jeweiligen Chip befinden und die mittels des von außen zugeführten Referenztakts ϕ synchronisiert werden. Diese Takte werden an Untersysteme 16 bzw. 17 verteilt (vgl. hierzu die Druckschrift d1 in der Liste am Ende dieser Beschreibung).

Wie zuvor beschrieben, können durch Synchronisation der Flanke eines internen Takts bezüglich der Flanke eines Referenztakts Daten zwischen verschiedenen Chips problemlos gesendet und empfangen werden. Durch Ausrichtung der Frequenz und der Phase einer Schwingungswellenform eines spannungsgesteuerten Oszillators (nachfolgend als VCO bezeichnet) bezüglich der Frequenz und der Phase des externen Referenztakts ϕ spielen die PLL-Schaltungen 14 und 15 eine Rolle bei der Minimierung einer Taktsignalverzögerung oder Taktdifferenz, einem sogenannten Skew, wodurch sie eine hohe Betriebsgeschwindigkeit des Systems sicherstellen.

Es ist bekannt, daß bei einem Mikrocomputer der worst-case Momentanwert (ein Spitze-Spitze-Jitter oder ähnliches) des Taktsignals die Betriebsfrequenz des Mikrocomputers bestimmt. Demzufolge ist es bei dem Mikrocomputer notwendig, mit Sicherheit durch Tests solch einen Verzögerungsfehler festzustellen, der sich in einem transienten Taktskew manifestiert.

Als nächstes wird der Einfluß von Verzögerungsfehlern in PLL-Schaltungen auf ein System erörtert. Fig. 3 zeigt ein Beispiel der PLL-Schaltung. Diese PLL-Schaltung umfaßt einen Phasen-Frequenzdetektor 21, eine Ladungspumpschaltung 22, ein Schleifenfilter 23, einen VCO 24 und eine Taktdecodier- und Pufferschaltung 25. Es sei nun angenommen, daß ein Verzögerungsfehler DF1 beim Referenztakeingang des Phasen-Frequenzdetektors 21 vorliegt. Wie in Fig. 4 gezeigt, wird ein Referenztakt ϕ_{REF} (durch ausgezogene Linie dargestellt), der an den Referenztakeingang des Phasen-Frequenz-Detektors 21 der PLL-Schaltung angelegt wird, zu einem verzögerten Takt ϕ (gestrichelt dargestellt), der um eine konstante Zeitspanne verzögert ist, und zwar aufgrund des Verzögerungsfehlers DF1 am Referenztakeingang. Der verzögerte Takt ϕ wird der nachfolgenden Ladungspumpschaltung 22 zugeführt. In der PLL-Schaltung wird die Flanke eines internen Takts ϕ_1 (mit ausgezogener Linie dargestellt) bezüglich der Flanke des gestrichelt gezeichneten Takts ϕ synchronisiert, welcher um die konstante Zeitspanne verzögert ist. Als Folge davon tritt eine Taktsignalverzögerung, d. h. ein Taktskew, infolge des Verzögerungsfehlers DF1 auf. Diese Taktsignalverzögerung, die eine am Referenztakeingang erzeugte Abweichung ist, wird in der PLL-Schaltung nicht kompensiert und bleibt auf einem konstanten Wert. Als Folge ergibt sich, daß eine große stationäre Abweichung bleibt.

Da dieser Verzögerungsfehler DF1 kein Fehler eines internen Blocks (einer internen Komponente) der PLL-Schaltung, gelangt die PLL-Schaltung in einen Synchronzustand. Demzufolge ist es schwierig, einen Verzögerungsfehler am Referenztakeingang durch Testen der internen Blöcke der PLL-Schaltung festzustellen. Ein Verzögerungsfehler dieser Art kann indes leicht dadurch festgestellt werden, daß der externe Referenztakt ϕ_{REF} mit dem internen Takt ϕ_1 verglichen wird.

Als nächstes wird unter Bezugnahme auf Fig. 5 angenommen, daß ein Verzögerungsfehler DF2 beim Aufwärts-Signaleingang der Ladungspumpschaltung 22 vorliegt. Infolge dieses Verzögerungsfehlers DF2 wird der Zeitpunkt in der Ladungspumpschaltung 22 zur Umsetzung eines Aufwärts-Signals, das von dem Phasen-Frequenzdetektor 21 ausgegeben wird, in ein analoges Signal zur Ausgabe des umgesetzten analogen Signals verzögert. Darüber hinaus führt die Verzögerung des analogen Signals zu einer Zeitsteuerungsverzögerung der Schwingung des VCO 24. Im nächsten Schritt vergleicht der Phasen-Frequenzdetektor 21 die Flanke des Referenztakts ϕ_{REF} mit der Flanke des internen Takts ϕ_1 und steuert die Zeitlage der Schwingungsfrequenz des VCO 24 unter Verwendung des Phasenfehlersignals, dessen Höhe proportional dem Zeitintervall zwischen den Anstiegsflanken dieser beiden Taktsignale ist. Diese geschlossene Regelung setzt sich fort, bis die Anstiegsflanken beider Taktsignale aufeinander ausgerichtet sind. Daher erscheint dieser Verzögerungsfehler DF2 gleichzeitig mit einem Zustandsübergang und wird durch die Regelung kompensiert. Die Verzögerungszeit wird unmittelbar nach dem Zustandsübergang maximiert. Daher wird, wie in Fig. 6 gezeigt, eine Taktsignalverzögerung ebenfalls unmittelbar nach dem Zustandsübergang maximiert, während sie nach mehreren aufeinanderfolgenden Zyklen auf Null vermindert wird, da die PLL-Schaltung ein geschlossenes Regelsystem ist. Somit tritt eine transiente Signalverzögerung auf. Da der Zeitpunkt, um den herum eine Signalverzögerung auftritt, begrenzt ist, kann die transiente Signalverzögerung durch Tests schwer festgestellt werden.

Wenn, wie oben beschrieben, ein Verzögerungsfehler DF1 am Referenztakeingang des Phasen-Frequenzdetektors 21 vorhanden ist, tritt eine Taktsignalverzögerung mit konstanter Zeitdauer auf. Diese Taktsignalverzögerung wird von der PLL-Schaltung nicht kompensiert. Wenn andererseits ein Verzögerungsfehler DF2 am Aufwärts-Signaleingang der Ladungspumpschaltung 22 vorhanden ist, tritt gemäß Darstellung in Fig. 7 zusammen mit einem Zustandsübergang eine große transiente Taktsignalverzögerung auf. Diese transiente Taktsignalverzögerung, die von dem Verzögerungsfehler DF2 herrührt, wird von der PLL-Schaltung kompensiert und nähert sich Null an. Es ist darauf hinzuweisen, daß alle Verzögerungsfehler in den übrigen Blöcken der PLL-Schaltung (am Eingang des Schleifenfilters 23 und am Eingang des VCO 24) auf den Verzögerungsfehler am Eingang der Ladungspumpschaltung 22 abgebildet werden können.

Ein sogenannter Klemmfehlerstest (stuck-at fault Test, vgl. beispielsweise Druckschrift d2 in der anhängenden Liste) ist herkömmlicherweise am weitesten verbreitet bei Verifikationstests und Herstellungstests von VLSI-Chips. Dieser

Klemmfehlertest soll zunächst kurz erläutert werden.

Ein Fehlermodell, ist ein Modell, bei dem ein physikalischer Fehler abstrahiert wird. Wenn das Fehlermodell benutzt wird, kann das Verhalten einer Schaltung bei Auftreten von Fehlern unter Verwendung eines Computers leicht simuliert werden. Beispielsweise kann ein Zustand, bei dem der Ausgang eines CMOS-Inverters ständig den logischen Wert "1" aufweist unter Verwendung eines Modells erklärt werden, bei dem ein "1-Klemmfehler" am Ausgang des Inverters vorhanden ist. Als Grund für einen Fehler dieser Art kommt ein Kurzschlußdefekt zwischen dem Ausgang des Inverters und der Speisespannungsleitung V_{DD} oder ein physikalischer "Offen"-Defekt in Betracht, etwa die Drainbruch bei einem n MOS (n-Kanal MOS).

Beim Testen wird ein Testmuster an primäre Eingänge einer getesteten Schaltung angelegt, und ein Antwortmuster der Schaltung, das an primären Ausgängen der getesteten Schaltung auftritt, wird beobachtet. Durch Vergleich des Antwortmusters mit einem Erwartungswertmuster bei fehlerfreiem Betrieb wird geprüft, ob die Schaltung fehlerhaft oder fehlerfrei ist. Fig. 8 zeigt eine Verknüpfungsschaltung eines NAND-Gatters ND1 ohne Klemmfehler und eines NAND-Gatters ND2 mit einem 0-Klemmfehler. Die Ausgangssignale beider NAND-Gatter ND1 und ND2 werden über ein Oder-Gatter OR1 als ein primäres Ausgangssignal abgenommen.

Ein Testmuster, das den 0-Klemmfehler der Verknüpfungsschaltung von Fig. 8 feststellen kann, ist "110". Wie in Fig. 8 gezeigt, wird dieses Testmuster "110" an die primären Eingänge der Verknüpfungsschaltung angelegt. Wenn das Testmuster "110" an die primären Eingänge der Verknüpfungsschaltung angelegt wird, wird das primäre Ausgangssignal der Verknüpfungsschaltung "1", wenn die Verknüpfungsschaltung fehlerfrei ist. Wenn die Verknüpfungsschaltung jedoch fehlerhaft ist, wird ihr primäres Ausgangssignal "0". Somit läßt sich durch Anlegen des Testmusters "110" an die Verknüpfungsschaltung feststellen, ob in der getesteten Verknüpfungsschaltung ein Fehler vorhanden ist oder nicht. Wenn der Wert des Testmusters aufmerksam beobachtet wird, zeigt sich, daß dieses Testmuster so erzeugt wird, daß es am Ort des 0-Klemmfehlers einen komplementären logischen Wert "1" annimmt.

Die rasche Entwicklung von Verarbeitungstechnologie treibt integrierte Schaltungen (ICs) weit in den Submicronbereich, so daß Drahtverzögerungen (jeweils von einem Signaldraht hervorgerufen, wenn sich ein Signal entlang dem Draht ausbreitet) signifikanter sind als Gatterverzögerungen (jeweils durch ein Gatterelement verursacht, wenn ein Signal ein Gatterelement durchläuft). Als Ergebnis davon hat man damit begonnen, einen Verzögerungsfehlertest beim Testen von Mikroprozessoren einzusetzen (verwiesen sei beispielsweise auf die Druckschrift d3). Als nächstes soll ein herkömmliches Verzögerungsfehlertestverfahren kurz erläutert werden (wozu beispielsweise auf die Druckschrift d4 verwiesen wird).

Zwei Fehlermodelle sind für Verzögerungsfehler vorgeschlagen worden, von denen eines ein Gatterverzögerungsfehler und das andere ein Wegverzögerungsfehler ist. Man sagt von einer Schaltung, daß sie einen Gatterverzögerungsfehler besitzt, wenn die Durchlaufzeit eines Signals durch ein Gatter in der Schaltung den spezifizierten schlimmsten Laufzeitverzögerungswert übersteigt. In ähnlicher Weise sagt man, daß eine Schaltung einen Wegverzögerungsfehler aufweist, wenn die Laufzeit eines Signals längs einem Signalweg in der Schaltung den spezifizierten schlimmsten Laufzeitverzögerungswert übersteigt.

Der Verzögerungsfehlertest erfordert Doppelmustertests. Fig. 9 zeigt ein Beispiel des Verzögerungsfehlertests. Die dargestellte getestete Schaltung ist eine Verknüpfungsschaltung umfassend ein erstes, ein zweites und ein drittes NAND-Gatter ND1, ND2 und ND3, die derart verschaltet sind, daß die Ausgangssignale des ersten NAND-Gatters ND1 und des zweiten NAND-Gatters ND2 in das dritte NAND-Gatter ND3 eingespeist werden. Zunächst wird ein Initialisierungsmuster unter Verwendung eines langsamen Takts an primäre Eingänge der getesteten Schaltung angelegt. Dieses Initialisierungsmuster V_1 ist bei diesem Beispiel "1111". Der Grund für die Verwendung eines langsamen Takts ist, daß ein Verzögerungsfehler den Zustandsübergang nicht beeinflußt, wenn seine Zykluszeit lang genug ist, damit alle Übergänge in der Schaltung abklingen können. Nachdem die getestete Schaltung einen Anfangszustand angenommen hat, wird ein Testmuster V_2 an die primären Eingänge der Schaltung angelegt, wobei ein schneller Takt verwendet wird. Dieses Testmuster V_2 ist bei diesem Beispiel "0101". Wie aus Fig. 9 ersichtlich, werden die obere der beiden Eingangsleitungen des ersten NAND-Gatters ND1 (die Eingangsleitung, an die "0" des Testmusters V_2 angelegt wird), die obere der beiden Eingangsleitungen des zweiten NAND-Gatters ND2 (die Eingangsleitung an die "0" des Testmusters V_2 angelegt wird) und die Signalleitungen von den Ausgängen des ersten und des zweiten NAND-Gatters ND1 und ND2 zu den Eingängen des dritten NAND-Gatters ND3 aktiviert. Impulse entsprechend dem Testmuster V_2 laufen durch diese Eingangsleitungen und Signalleitungen. Als Folge davon erscheint jeder Impuls am primären Ausgang der getesteten Schaltung (dem Ausgang des dritten NAND-Gatters ND3) entsprechend der Durchlaufverzögerungszeit. Der ausgegebene endgültige Wert wird in einem Ausgangs-Latch-Glied aufgefangen, das mit dem schnellen Takt getaktet wird. Der aufgefangene Wert dient zur Feststellung, ob in der getesteten Schaltung ein Verzögerungsfehler vorhanden ist oder nicht. Gewöhnlich wird ein Systemtakt als der schnelle Takt verwendet. Fig. 10 zeigt ein Konzept des oben beschriebenen Verzögerungsfehlertests. Eingangs-Latch-Glieder 31 und Ausgangs-Latch-Glieder 32 sind mit der Eingangsstufe bzw. der Ausgangsstufe der getesteten Schaltung (Verknüpfungsschaltung) 30 verbunden.

Es ist sehr schwierig, Testmuster für einen Verzögerungsfehlertest zu erzeugen. Der Grund besteht darin, daß zur Erfassung des Zielverzögerungsfehlers unabhängig von der Verzögerungszeit und allen anderen in der Schaltung vorhandenen Verzögerungsfehlern die folgende Bedingung erfüllt sein muß. D. h., sowohl "der EIN-Wegeingangsimpuls, der die aktivierte getestete Leitung durchläuft" als auch "die AUS-Wegeingangsimpulse, die durch die Seiteneingangsleitungen laufen, die mit der getesteten Leitung verbunden sind" müssen glitchfrei sein (verwiesen sei beispielsweise auf die Druckschrift d5). Aus diesem Grund erzeugt das herkömmliche Verzögerungsfehlertestverfahren Testmuster für lediglich eine geringe Anzahl von Signalleitungen und kann daher lediglich eine begrenzte Anzahl von in der Schaltung vorhandenen Verzögerungsfehlern feststellen.

Mit zunehmender Größe und Komplexität von VLSI-Schaltungen wird es immer schwieriger, alle Taktflanken innerhalb eines Chips auf die Referenztaktflanke auszurichten und das Taktsignal mit minimaler Verzögerungszeit zu verteilen. Aus diesem Grund ist beispielsweise ein H-Baum-Konfiguration genannter Algorithmus in das Layout-Design eines Taktverteilungsnetzwerks (Verdrahtung zur Verteilung des Taktsignals) eingeführt worden. Eine H-Baum genannte

Kurve ist eine in Fig. 11 gezeigte Hilbert-Kurve (siehe beispielsweise die Druckschrift d6). Da in dem H-Baum alle mit jeweiligen Blattknoten verbundenen Zellen gleich weit vom Taktreiber beabstandet sind, ist die Takt Differenz (der Taktskew) theoretisch null. Darüber hinaus ist die Hilbert-Kurve selbst-ähnlich und in der Lage eine Hirnstruktur aufzubauen (dreidimensionales Verdrahtungslayout) (siehe beispielsweise Druckschrift d7). Zusätzlich kann die Hilbert-Kurve einfach unter Verwendung eines rekursiven Algorithmus erzeugt werden. Die Anwendung der Hilbert-Kurve auf das dreidimensionale Taktverteilungsnetzwerk oder ähnliches ist ein interessantes Studiengebiet.

Mit zunehmender Geschwindigkeit oder Taktrate von VLSI-Schaltungen, sind Geschwindigkeitstests von Taktverteilungsnetzwerken wichtiger geworden. Das herkömmliche Verzögerungsfehlertestverfahren eignet sich jedoch nicht für einen effizienten Test des Taktverteilungsnetzwerks.

Es ist aus folgenden Gründen schwierig einen Verzögerungsfehler in einer PLL-Schaltung 40 gemäß Darstellung in Fig. 12 unter Verwendung des vorerwähnten herkömmlichen Verzögerungsfehlertestverfahrens zu testen: (i) Zunächst wird, wenn Latch-Glieder in die PLL-Schaltung 40 eingesetzt werden, eine zusätzliche Signalverzögerung in den internen Takt der PLL-Schaltung 40 eingeführt. Die Folge ist ein unvermeidbarer Leistungsverlust, der die Zielbetriebssgeschwindigkeit absenkt. (ii) Als nächstes ist ein Takt höherer Geschwindigkeit nötig, um einen internen Takt der PLL-Schaltung zwischenzuspeichern. D. h., es ergibt sich ein Widerspruch.

Es ist eine Aufgabe der vorliegenden Erfindung, eine Vorrichtung und ein Verfahren zur Erfassung eines Verzögerungsfehlers in einer PLL-Schaltung zu schaffen, die die Neigung einer Momentanphase eines Analytiks Signals ausnutzen.

Diese Aufgabe wird durch ein Verfahren nach den Patentansprüchen 1 und 4 sowie durch eine Vorrichtung nach den Patentansprüchen 6 und 10 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Die mit der Erfindung erzielten Wirkungen sowie Konstruktionen und Konfigurationen der Erfindung werden aus der folgenden Beschreibung bevorzugter Ausführungsbeispiele unter Bezugnahme auf die beiliegenden Zeichnungen leichter verständlich. Es zeigen:

Fig. 1 ein Blockdiagramm eines ersten Ausführungsbeispiels der Verzögerungsfehler-Detektorvorrichtung gemäß der vorliegenden Erfindung,

Fig. 2(a) ein Blockdiagramm eines Beispiels eines Synchronsystems zur Minimierung einer Taktsignalverzögerung unter Verwendung einer PLL-Schaltung,

Fig. 2(b) Wellenformen von Taktpulsen zur Erläuterung der Betriebsweise des in Fig. 2(a) gezeigten Systems,

Fig. 3 ein Blockdiagramm einer PLL-Schaltung mit einem Verzögerungsfehler in einem Phasen-Frequenzdetektor,

Fig. 4 Wellenformen von Taktpulsen zur Erläuterung der Betriebsweise der PLL-Schaltung von Fig. 3,

Fig. 5 ein Blockdiagramm einer PLL-Schaltung mit einem Verzögerungsfehler in einer Ladungspumpschaltung,

Fig. 6 Wellenformen von Taktpulsen zur Erläuterung der Betriebsweise der PLL-Schaltung von Fig. 5,

Fig. 7 ein Zustandsdiagramm des Phasen-Frequenzdetektors in einer PLL-Schaltung,

Fig. 8 ein Schaltbild eines Beispiels einer Verknüpfungsschaltung mit einem Klemmfehler,

Fig. 9 ein Schaltbild eines Beispiels der Verknüpfungsschaltung mit einem Verzögerungsfehler,

Fig. 10 ein Konzept zur Erläuterung eines Beispiels eines herkömmlichen Verzögerungsfehler-Testverfahrens,

Fig. 11 ein Beispiel einer Hilbert-Kurve,

Fig. 12 ein Blockdiagramm eines Konzepts des herkömmlichen Verzögerungsfehler-Testverfahrens angewendet auf eine PLL-Schaltung,

Fig. 13 Diagramme eines analogen Frequenz-Abwärts-Signals, angelegt an einen VCO einer PLL-Schaltung, und eine entsprechende Änderung einer Phasenrauschwellenform $\Delta\phi(t)$,

Fig. 14 Diagramme, eines analogen Frequenz-Aufwärts-Signals, angelegt an einen VCO einer PLL-Schaltung, und eine entsprechende Änderung einer Phasenrauschwellenform $\Delta\phi(t)$,

Fig. 15 Wellenformen zur Erläuterung eines Verzögerungsfehler-Detektorverfahrens durch Vergleich einer Phasenschwankungswellenform $\Delta\phi(t)$ einer getesteten PLL-Schaltung mit einer Phasenschwankungswellenform $\Delta\phi(t)$ einer fehlerfreien PLL-Schaltung,

Fig. 16 Wellenformdiagramme, die ein Beispiel des Frequenzimpuls Signals bzw. eines Frequenzimpulses darstellen, die eine PLL-Schaltung veranlassen, einen Zustandsübergang auszuführen,

Fig. 17 charakteristische Parameter eines MOSFETs,

Fig. 18 ein Blockdiagramm einer PLL-Schaltung in 0,6- μ m 5-V CMOS-Technik,

Fig. 19 eine Eingangswellenform zu einem VCO der PLL-Schaltung in Fig. 18,

Fig. 20 ein Wellenformdiagramm, das einen internen Takt der in Fig. 18 gezeigten PLL-Schaltung wiedergibt,

Fig. 21(a) ein Wellenformdiagramm, das ein Meßergebnis zeigt, welches durch Messen einer Momentanperiode der Schwingungswellenform des VCO der in Fig. 18 gezeigten PLL-Schaltung unter Verwendung der Nulldurchgangsmethode gemäß der vorliegenden Erfindung erhalten wurde,

Fig. 21(b) ein Diagramm, das eine Phasenschwankungswellenform $\Delta\phi(t)$ zeigt, die mit dem Verfahren gemäß der vorliegenden Erfindung geschätzt wurde,

Fig. 22 ein Blockdiagramm eines Beispiels der PLL-Schaltung mit einem Verzögerungsfehler, die mit dem Verfahren der vorliegenden Erfindung nicht getestet werden kann,

Fig. 23(a) eine Eingangswellenform zu einem VCO der in Fig. 22 gezeigten PLL-Schaltung,

Fig. 23(b) ein Wellenformdiagramm eines internen Takts der in Fig. 22 gezeigten PLL-Schaltung,

Fig. 24(a) ein Wellenformdiagramm, das ein Meßergebnis zeigt, das durch Messen einer Momentanperiode der Schwingungswellenform des VCO der in Fig. 22 gezeigten PLL-Schaltung unter Verwendung der Nulldurchgangsmethode gemäß der vorliegenden Erfindung erhalten wurde,

Fig. 24(b) ein Diagramm, das eine Phasenschwankungswellenform $\Delta\phi(t)$ zeigt, die mit dem Verfahren gemäß der vorliegenden Erfindung geschätzt wurde,

Fig. 25 ein Blockdiagramm eines Beispiels der PLL-Schaltung mit einem Verzögerungsfehler, die mit dem Verfahren gemäß der vorliegenden Erfindung getestet werden kann,

Fig. 26(a) eine Eingangswellenform zu dem VCO der PLL-Schaltung, die in Fig. 25 gezeigt ist,

Fig. 26(b) ein Wellenformdiagramm, das einen internen Takt der in Fig. 25 gezeigten PLL-Schaltung darstellt,

Fig. 27(a) ein Wellenformdiagramm, das ein Meßergebnis zeigt, das durch Messen einer Momentanperiode der Schwingungswellenform des VCO der in Fig. 25 gezeigten PLL-Schaltung unter Verwendung der Nulldurchgangsmethode gemäß der vorliegenden Erfindung erhalten wurde,

Fig. 27(b) ein Diagramm, das eine Phasenschwankungswellenform $\Delta\phi(t)$ zeigt, die nach dem Verfahren gemäß der vorliegenden Erfindung geschätzt wurde,

Fig. 28 ein Blockdiagramm, das ein anderes Beispiel einer PLL-Schaltung mit einem Verzögerungsfehler zeigt, die mit dem Verfahren der vorliegenden Erfindung getestet werden kann,

Fig. 29(a) eine Eingangswellenform zu dem VCO, der in Fig. 28 gezeigten PLL-Schaltung,

Fig. 29(b) ein Wellenformdiagramm, das einen internen Takt der in Fig. 28 gezeigten PLL-Schaltung darstellt,

Fig. 30(a) ein Wellenformdiagramm, das ein Meßergebnis zeigt, welches durch Messen einer Momentanperiode der Schwingungswellenform des VCO der in Fig. 28 gezeigten PLL-Schaltung unter Verwendung der Nulldurchgangsmethode gemäß der vorliegenden Erfindung erhalten wurde,

Fig. 30(b) ein Diagramm, das eine Phasenschwankungswellenform $\Delta\phi(t)$ zeigt, die gemäß dem Verfahren der vorliegenden Erfindung geschätzt wurde,

Fig. 31 ein Diagramm, das ein experimentelles Ergebnis darstellt, welches durch Testen der in Fig. 25 gezeigten PLL-Schaltung unter Verwendung des Verfahrens gemäß der vorliegenden Erfindung gewonnen wurde,

Fig. 32 ein Diagramm, das ein experimentelles Ergebnis zeigt, das beim Testen der in Fig. 28 gezeigten PLL-Schaltung unter Verwendung des Verfahrens gemäß der vorliegenden Erfindung gewonnen wurde,

Fig. 33 ein Blockdiagramm, das ein zweites Ausführungsbeispiel einer Verzögerungsfehler-Detektorvorrichtung gemäß der vorliegenden Erfindung zeigt,

Fig. 34 die Wellenform eines idealen Taktsignals,

Fig. 35(a) die Wellenform eines Taktsignals, und

Fig. 35(b) die Wellenform, die durch Hilbert-Transformation des in Fig. 35(a) gezeigten Taktsignals erhalten wird.

Die vorliegende Erfindung wird nachfolgend unter Bezugnahme auf die Fig. 1 und 13 bis 33 im einzelnen erläutert, welche bevorzugte Ausführungsbeispiele der Erfindung zeigen. Die vorliegende Erfindung kann jedoch in verschiedenster Weise ausgeführt werden und soll durch die hier dargestellten Ausführungsbeispiele in keinsten Weise beschränkt werden. Vielmehr sind die Ausführungsbeispiele lediglich dazu gedacht, eine gründliche und vollständige Darstellung der Erfindung zu geben, die Fachleuten den gesamten Umfang der Erfindung vermittelt. Gleiche Bezugszeichen beziehen sich in der gesamten Beschreibung auf gleiche Teile.

Bevor bevorzugte Ausführungsbeispiele der Erfindung beschrieben werden, soll das Prinzip eines Verzögerungsfehler-Detektorverfahrens gemäß der vorliegenden Erfindung erörtert werden. Ein "Verzögerungsfehler", der Gegenstand dieser Offenbarung ist, schließt solche Verzögerungsfehler wie den Verzögerungsfehler DF1 am Referenztakteingang des in Fig. 3 gezeigten Phasen-Frequenzdetektors 21 nicht ein.

Wie bereits beschrieben vergleicht ein Phasen-Frequenzdetektor in einer PLL-Schaltung die Phase des Referenztakts mit derjenigen des internen Takts. Das Ausgangssignal des Phasen-Frequenzdetektors treibt eine Ladungspumpschaltung. Ein Schleifenfilter entfernt die Welligkeit vom Ausgangssignal der Ladungspumpschaltung und speist ein Gleichstromsignal in einen VCO. Kurz gesagt, gibt der Phasen-Frequenzdetektor das Phasendifferenzsignal an den Eingang des VCO, um dessen Schwingung zu steuern. Der VCO ändert seine Schwingungsfrequenz, um der Frequenz des Referenztakts zu folgen. Er schwingt dann mit einer Frequenz gleich der Frequenz des Referenztakts und mit einer Phase gleich derjenigen des Referenztakts. Eine Momentanfrequenz Δf ergibt sich durch Differentiation einer Momentanphase $\phi(t)$ des internen Takts bzw. des VCO-Ausgangssignals nach der Zeit:

$$\Delta f = \frac{1}{2\pi} \times \frac{d\phi(t)}{dt} \quad (4.1.1)$$

$$f = f_0 + \Delta f \quad (4.1.2)$$

Für den Fall, daß Δf konstant ist, ergibt sich aus Gleichung (4.1.1), daß eine Momentanphase eine konstante Neigung besitzt, d. h. ihr Wert bei t ist eine lineare Funktion von t .

$$\frac{d\phi(t)}{dt} = 2\pi(\Delta f) \quad (4.2)$$

Fig. 13(a) zeigt ein analoges Signal, das an den VCO angelegt wird, während Fig. 13(b) eine Phasenabweichung $\Delta\phi(t)$ des VCO-Ausgangssignals zeigt. Wenn beispielsweise die Schwingungsfrequenz des VCO von einer hohen Frequenz f_H zu einer niedrigen Frequenz f_L geändert wird, zeigt die Momentanphase eine negative Neigung, wie durch den Pfeil in Fig. 13(b) dargestellt. Wenn ein Abwärts-Signal des in Fig. 13(a) gezeigten analogen Signals an den VCO angelegt wird, wird die entsprechende Änderung der Phasenabweichungswellenform $\Delta\phi(t)$ so, wie in Fig. 13(b) dargestellt. Dabei wird angenommen, daß die PLL-Schaltung einen konstanten statischen Frequenzfehler Δf_e aufweist (siehe Druckschrift d8). D. h., die Phasenschwankungswellenform $\Delta\phi(t)$ ändert sich rasch mit negativer Neigung entsprechend dem Abwärts-Signal und ändert sich, nach einem Zustandsübergang zu einer niedrigen Frequenz f_L mit einer Neigung, die dem statischen Frequenzfehler Δf_e proportional ist. Wenn der statische Frequenzfehler Δf_e null ist, verläuft die Phasenschwankungswellenform $\Delta\phi(t)$ parallel zur Zeitachse. Wenn andererseits die Schwingungsfrequenz des VCO von einer niedrigen Frequenz f_L zu einer hohen Frequenz f_H geändert wird, zeigt die Momentanphase eine positive Neigung, wie durch den Pfeil in Fig. 14(b) dargestellt. Fig. 14(a) zeigt ein analoges Signal, das an den VCO angelegt wird.

Fig. 15 zeigt Wellenformen zur Erläuterung eines Konzepts eines Verfahrens zum Schätzen einer Verzögerungszeit anhand einer Phasenschwankungswellenform $\Delta\phi(t)$ einer Taktwellenform $X_C(t)$. Fig. 15(a) zeigt eine Phasenschwankungswellenform $\Delta\phi(t)$ einer PLL-Schaltung ohne Verzögerungsfehler (nachfolgend als verzögerungsfehlerfreie PLL-Schaltung bezeichnet), während Fig. 15(b) eine Phasenschwankungswellenform $\Delta\phi(t)$ einer PLL-Schaltung mit wenigstens einem Verzögerungsfehler (nachfolgend als verzögerungsfehlerbehaftete PLL-Schaltung bezeichnet) zeigt. Es sei darauf hingewiesen, daß angenommen wird, daß ein Verzögerungsfehler an einem anderen Punkt als dem Referenztakteingang des Phasen-Frequenzdetektors vorliegt. Wenn die Momentanfrequenz des VCO einen Zustandsübergang von einer Frequenz f_0 zu einer Frequenz f_1 zum Zeitpunkt t_1 vollzogen hat, zeigt die Neigung der Momentanphase eine Änderung, wie sie durch die folgende Gleichung (4.3.1) ausgedrückt ist:

$$\frac{d\phi(t)}{dt} = 2\pi(\Delta f_1), \quad t_1 < t < t_2 \quad (4.3.1)$$

In diesem Fall ist Δf_1 gleich Δf_e oder null. Wenn die Momentanfrequenz des VCO einen Zustandsübergang von der Frequenz f_1 zu einer Frequenz f_2 zum Zeitpunkt t_2 vollzogen hat, läßt sich die Neigung der Momentanphase durch folgende Gleichung (4.3.2) ausdrücken:

$$\frac{d\phi(t)}{dt} = 2\pi(\Delta f_2), \quad t_2 < t < t_3 \quad (4.3.2)$$

Es zeigt sich, daß der interne Zustand des VCO dadurch überwacht werden kann, daß die Neigung der Momentanphasenwellenform beobachtet wird. Man beachte, daß der interne Zustand selbst dann überwacht werden kann, wenn Δf_e Null ist. Wenn darüber hinaus ein Wendezeitpunkt, um den herum die Momentanphasenwellenform ihre Neigung ändert, identifiziert wird, läßt sich eine Flankenzeit messen, zu der die PLL-Schaltung in einen Zustand eintritt oder ihn verläßt. Da Zustandsübergänge infolge von Verzögerungsfehlern nacheilen, können Verzögerungsfehler in der PLL-Schaltung getestet werden, wenn die Zeitdauer ($t_2 - t_1$) während derer eine jeweilige PLL-Schaltung in einem bestimmten Zustand verharrt, gemessen werden kann. Man beachte, daß ein Verzögerungsfehler, der am Referenztakteingang des Phasen-Frequenz-Detektors vorliegt, von den testbaren Fehlern ausgeschlossen ist.

Als nächstes wird ein Signal beschrieben, das an eine PLL-Schaltung zum Testen eines Verzögerungsfehlers anzulegen ist. Wie bereits beschrieben, kann der Einfluß eines Verzögerungsfehlers nach Maßgabe eines Zustandsübergangs beobachtet werden. Selbst wenn eine Sinuswelle an die PLL-Schaltung angelegt wird, tritt kein Zustandsübergang auf. Daher kann kein stationäres Signal bei einem Test hinsichtlich Verzögerungsfehlern benutzt werden. Wenn andererseits ein Frequenzimpuls, wie er in Fig. 16(b) gezeigt ist, an die PLL-Schaltung angelegt wird, gibt der Phasen-Frequenzdetektor ein Fehlersignal entsprechend der Frequenzänderung aus, und die PLL-Schaltung führt Zustandsübergänge aus. D. h., ein transientes Signal sollte für den Test hinsichtlich Verzögerungsfehlern als anzulegendes Signal verwendet werden.

Fig. 16(a) zeigt eine Wellenform eines Frequenzimpulssignals, welches eine impulsartige Änderung um eine Periode ausführt. Wenn ein Frequenzimpuls an den Referenztakteingang angelegt wird, führt die PLL-Schaltung zweimal Zustandsübergänge aus. Wenn ein Frequenzimpuls, wie er in Fig. 16(b) gezeigt ist, an die PLL-Schaltung angelegt wird, gibt der Phasen-Frequenzdetektor an der Anstiegsflanke des Impulses ein Frequenz-Aufwärts-Signal aus, um dann an der Abfallflanke des Impulses ein Frequenz-Abwärts-Signal auszugeben. Wenn demzufolge ein Frequenzimpuls angelegt wird, ergibt sich die für die obige Gleichung (4.3.1) benötigte Zeitdauer ($t_2 - t_1$) eindeutig.

Das Verzögerungsfehler-Detektorverfahren und die Verzögerungsfehler-Detektorvorrichtung gemäß der vorliegenden Erfindung beruhen auf der Beachtung der Neigung einer Momentanphase und stellen Entwicklungen eines Jitter-Schätzverfahrens bzw. einer entsprechenden Vorrichtung unter Verwendung der Taktwellenform einer Grundfrequenz dar. Verfahren und Vorrichtung zur Jitter-Schätzung sind in den U.S. Patentanmeldungen Nr. 09/246,458 vom 8. Februar 1999 und Nr. 09/408,280 vom 29. September 1999 offenbart.

Fig. 1 ist ein Blockdiagramm eines ersten Ausführungsbeispiels einer Verzögerungsfehler-Detektorvorrichtung gemäß der vorliegenden Erfindung. Diese Vorrichtung umfaßt einen Frequenz-Impulsgenerator 51 zur Erzeugung eines Frequenz-Impulssignals, eine zu testende PLL-Schaltung 52, bei der festgestellt werden soll, ob sie einen Verzögerungsfehler aufweist oder nicht, ein Hilbert-Paar-Generator 53, dem das Ausgangssignal der PLL-Schaltung 52 geliefert wird, einen Momentanphasenschätzer 54, der zwei Ausgangssignale von dem Hilbert-Paar-Generator 53 erhält, einen Linearphasenentferner 55, dem ein Ausgangssignal von dem Momentanphasenschätzer 54 geliefert wird, und einen Verzögerungsfehlersucher 56 zur Ermittlung, ob ein Verzögerungsfehler vorliegt oder nicht, und zwar auf der Basis des Ausgangssignals von dem Linearphasenentferner 55.

Ein Frequenzimpuls wird an die zu testende PLL-Schaltung 52 als Referenztaktsignal von dem Frequenz-Impulsgenerator 51 angelegt. Da sich die Frequenz des Referenztaktsignals ändert, führt die PLL-Schaltung 52 Zustandsübergänge aus, welche die Ausgangstaktwellenform beeinflussen, wenn ein Verzögerungsfehler in der PLL-Schaltung vorhanden ist. Der Hilbert-Paar-Generator 53 transformiert die aufgenommene Taktwellenform $X_C(t)$ zu einem Analyse- oder Analytiksignal $z_C(t)$, und der Momentanphasenschätzer 54 schätzt die Momentanphase des Analytiksignals $z_C(t)$, um aus einem Phasenschwankungsterm $\Delta\phi(t)$ der Momentanphase eine Verzögerungszeit zu messen.

Wie in den obigen U.S. Patentanmeldungen 09/246,458 und 09/408,280 beschrieben, ist der Nulldurchgang ein wichtiges Konzept. Im Hinblick auf die Periodenmessung soll hier kurz der Zusammenhang zwischen dem Nulldurchgang einer Wellenform und dem Nulldurchgang der Grundwelle der Wellenform anhand einer idealen Taktwellenform $x_{450\%}(t)$, die in Fig. 34 als Beispiel gezeigt ist und ein Tastverhältnis von 50% aufweist, beschrieben werden, obwohl dies in den vorgenannten U.S. Patentanmeldungen offenbart ist.

Unter der Annahme, daß die Periode dieser idealen Taktwellenform T_0 ist, ergibt sich die Fouriertransformation der Taktwellenform durch Gleichung (3.1) (siehe beispielsweise Alan V. Oppenheim, Alan S. Willsky und Ian T. Young, "Signals and Systems", Prentice-Hall, Inc., 1983):

$$S_{d50\%}(f) = \sum_{k=-\infty}^{+\infty} \frac{2 \sin(\frac{\pi k}{2})}{k} \delta(f - k f_0) \quad (3.1)$$

D. h., die Periode der Grundwelle ist gleich der Periode des Taktsignals.

$$T_0 = \frac{1}{f} \delta(f - f_0) \quad (3.2)$$

Wenn die Grundwellenform des Taktsignals extrahiert wird, entsprechen ihre Nulldurchgänge den Nulldurchgängen der ursprünglichen Taktwellenform. Demzufolge kann die Periode einer Taktwellenform anhand der Nulldurchgänge ihrer Grundwellenform geschätzt werden. In diesem Fall wird die Schätzgenauigkeit selbst dann nicht verbessert, wenn zur Grundwellenform einige Harmonische hinzuaddiert werden.

Als nächstes werden die Hilbert-Transformation und ein Analytiksinal kurz erläutert (hierzu sei verwiesen auf Athanasios Papoulis, "Analysis for Analog and Digital Signals", Gendai Kogakusha, 1982).

Wie aus Gleichung (3.1) ersichtlich, kann, wenn die Fourier-Transformation der Wellenform $X_a(t)$ berechnet wird, ein Leistungsspektrum $S_{aa}(f)$, das von negativen Frequenzen zu positiven Frequenzen reicht, erhalten werden. Dies nennt man ein doppelseitiges Leistungsspektrum. Das negative Frequenzspektrum ist ein Spiegelbild des positiven Frequenzspektrums um die Achse $f = 0$. Demzufolge ist das doppelseitige Leistungsspektrum um die Achse $f = 0$ symmetrisch, d. h. $S_{aa}(-f) = S_{aa}(f)$. Das Spektrum negativer Frequenzen kann jedoch nicht beobachtet werden. Statt dessen kann man auch ein Spektrum $G_{aa}(f)$ definieren, in welchem negative Frequenzen auf Null beschnitten sind und beobachtbare positive Frequenzen verdoppelt sind. Dies nennt man ein einseitiges Leistungsspektrum.

$$\begin{aligned} G_{aa}(f) &= 2S_{aa}(f) \quad f > 0 \\ G_{aa}(f) &= 0 \quad f < 0 \quad (3.3.1) \\ G_{aa}(f) &= S_{aa}(f)[1 + \operatorname{sgn}(f)] \quad (3.3.2) \end{aligned}$$

In der obigen Gleichung (3.3.2) ist $\operatorname{sgn}(f)$ eine Vorzeichenfunktion mit dem Wert +1, wenn f positiv ist, und dem Wert -1, wenn f negativ ist. Dieses einseitige Spektrum entspricht einem Spektrum eines Analytiksinal $z(t)$. Das Analytiksinal $z(t)$ kann im Zeitbereich wie folgt ausgedrückt werden:

$$z(t) \equiv X_a(t) + j\hat{X}_a(t) \quad (3.4)$$

$$\hat{X}_a(t) = H[X_a(t)] = \frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{X_a(\tau)}{t - \tau} d\tau \quad (3.5)$$

Der Realteil in Gleichung (3.4) entspricht der Ursprungswellenform $X_a(t)$. Der Imaginärteil in der Gleichung (3.4) ergibt sich durch die Hilbert-Transformation $\hat{X}_a(t)$ der Ursprungswellenform $X_a(t)$. Wie durch Gleichung (3.5) gezeigt, ergibt sich die Hilbert-Transformation einer Wellenform $X_a(t)$ durch eine Faltung dieser Wellenform $X_a(t)$ mit $1/\pi t$.

Die Hilbert-Transformation beispielsweise einer Cosinuswelle $\cos(2\pi f_0 t)$ wird im folgenden abgeleitet.

$$H[\cos(2\pi f_0 t)] = -\frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\cos(2\pi f_0 \tau)}{\tau - t} d\tau = -\frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\cos(2\pi f_0 (y + t))}{y} dy$$

$$H[\cos(2\pi f_0 t)] =$$

$$-\frac{1}{\pi} \left[\cos(2\pi f_0 t) \int_{-\infty}^{+\infty} \frac{\cos(2\pi f_0 y)}{y} dy - \sin(2\pi f_0 t) \int_{-\infty}^{+\infty} \frac{\sin(2\pi f_0 y)}{y} dy \right]$$

Da in obiger Gleichung das Integral des ersten Terms null ist und das Integral des zweiten Terms π ist, ergibt sich die folgende Gleichung (3.6).

$$H[\cos(2\pi f_0 t)] = \sin(2\pi f_0 t) \quad (3.6)$$

In ähnlicher Weise erhält man die folgende Gleichung (3.7).

$$H[\sin(2\pi f_0 t)] = -\cos(2\pi f_0 t) \quad (3.7)$$

Als nächstes wird die Hilbert-Transformation einer Rechteckwelle entsprechend einer Taktwellenform abgeleitet (siehe beispielsweise Stefan L. Hahn, "Hilbert Transforms Signal Processing", Artch House Inc., 1996). Die Fourier-Reihe der idealen Taktwellenform $x_{d50\%}(t)$, die in Fig. 34 gezeigt ist, ergibt sich durch die folgende Gleichung (3.8):

$$x_{d50\%}(t) = \frac{1}{2} + \frac{2}{\pi} \left[\cos \frac{2\pi}{T_0} t - \frac{1}{3} \cos 3 \frac{2\pi}{T_0} t + \frac{1}{5} \cos 5 \frac{2\pi}{T_0} t - \dots \right] \quad (3.8)$$

Die Hilbert-Transformation der idealen Taktwellenform ergibt sich unter Verwendung der obigen Gleichung (3.6) durch die folgende Gleichung (3.9):

$$H[x_{\text{d50\%}}(t)] = \frac{2}{\pi} \left[\sin \frac{2\pi}{T_0} t - \frac{1}{3} \sin 3 \frac{2\pi}{T_0} t + \frac{1}{5} \sin 5 \frac{2\pi}{T_0} t - \dots \right] \quad (3.9)$$

Fig. 35(a) zeigt die Wellenform eines Taktsignals, und Fig. 35(b) zeigt die durch Hilbert-Transformation des Taktsignals von Fig. 35(a) erhaltene Wellenform. Diese Wellenformen basieren jeweils auf den Partialsummen bis hinauf zur elften Harmonischen. Die Periode T_0 bei diesem Beispiel beträgt 20 ns.

Das Analytiksinal $z(t)$ ist von J. Dugundji eingeführt worden, um eindeutig die Hüllkurve einer Wellenform zu ermitteln (siehe beispielsweise J. Dugundji, "Envelopes and Pre-Envelopes of Real Waveforms", IRE Trans. Inform. Theory, Band IT-4, Seiten 53–57, 1958). Wenn das Analytiksinal $z(t)$ in Polarkoordinaten ausgedrückt wird, ergeben sich die folgenden Gleichungen (3.10.1), (3.10.2) und (3.10.3):

$$z(t) = A(t) e^{j\Theta(t)} \quad (3.10.1)$$

$$A(t) = \sqrt{X_a^2(t) + \hat{X}_a^2(t)} \quad (3.10.2)$$

$$\Theta(t) = \tan^{-1} \left[\frac{\hat{X}_a(t)}{X_a(t)} \right] \quad (3.10.3)$$

In diesem Fall repräsentiert $A(t)$ die Hüllkurve einer Wellenform $X_a(t)$. Aus diesem Grund hat J. Dugundji $z(t)$ Prä-Hüllkurve genannt. Weiterhin repräsentiert $\Theta(t)$ eine Momentanphase der Wellenform $X_a(t)$.

Wenn die gemessene Wellenform als komplexe Zahl behandelt wird, kann man ihre Hüllkurve und die Momentanphase leicht erhalten. Die Hilbert-Transformation ist ein Werkzeug zur Transformation einer Wellenform zu einem Analytiksinal.

Der Hilbert-Paar-Generator 53 in Fig. 1 transformiert eine Taktwellenform $X_C(t)$ zu einem Analytiksinal $z_C(t)$. Die Hilbert-Transformation der Taktwellenform $X_C(t)$ ergibt sich aus obiger Gleichung (3.6) wie folgt:

$$\hat{X}_C(t) = H[X_C(t)] = A_C \sin(2\pi f_C t + \theta_C + \Delta\phi(t))$$

In obiger Gleichung ist A_C ein nominaler Amplitudenwert, f_C ist ein nominaler Frequenzwert, θ_C ist ein Anfangsphasenwinkel und $\Delta\phi(t)$ ist eine Phasenschwankung.

Unter der Annahme, daß $X_C(t)$ und $\hat{X}_C(t)$ der Realteil bzw. der Imaginärteil einer komplexen Funktion sind, erhält man von dem Hilbert-Paar-Generator 53 ein Analytiksinal $z_C(t)$, das durch folgende Gleichung ausgedrückt ist:

$$z_C(t) = X_C(t) + j\hat{X}_C(t) = A_C \cos(2\pi f_C t + \theta_C + \Delta\phi(t)) + jA_C \sin(2\pi f_C t + \theta_C + \Delta\phi(t))$$

Wenn man die Signalverarbeitungsprozedur zusammenfaßt, resultiert die Schätzung einer Momentanphase eines Taktsignals $X_C(t)$ durch den Momentanphasenschätzer 54 auf der Basis der Offenbarung in den oben genannten U.S. Patentanmeldungen in folgender Gleichung (4.4.1):

$$\Theta(t) = [2\pi f_C t + \theta_C + \Delta\phi(t)] \bmod 2\pi \quad (4.4.1)$$

Durch Anwenden eines Phasenabwickelverfahrens, das in den vorgenannten U.S. Patentanmeldungen offenbart ist, auf $\Theta(t)$ in dem Linearphasenentferner 55, erhält man die folgende Gleichung (4.4.2):

$$\theta(t) = 2\pi f_C t + \theta_C + \Delta\phi(t) \quad (4.4.2)$$

Darüber hinaus wird eine lineare Phase $[2\pi f_C t + \theta_C]$ aufgrund von $\theta(t)$ unter Verwendung eines linearen Funktionsanpassungsverfahrens, das ebenfalls in den vorgenannten U.S. Patentanmeldungen offenbart ist, geschätzt. Der Bereich zum Schätzen einer linearen Phase ist begrenzt auf den Bereich bis zu einem Zeitpunkt t_{Impuls} , zu dem ein Frequenzimpuls gemäß Fig. 16(b) angelegt wird. Danach wird eine lineare Phase von $\theta(t)$ entfernt, so daß sich der Schwankungsterm $\Delta\phi(t)$ durch folgende Gleichung (4.4.3) ergibt:

$$\theta(t) = \Delta\phi(t) \quad (4.4.3)$$

Schließlich wird in dem Verzögerungsfehlersucher 56 die Zeitspanne $(t_2 - t_1)$ geschätzt, während derer die PLL-Schaltung in einem bestimmten Zustand verharrt, und zwar unter Verwendung der obigen Gleichung (4.3.1) und anhand der Phasenneigung in einer Zeitspanne nach dem Zeitpunkt t_{Impuls} . Ob ein Verzögerungsfehler vorhanden ist oder nicht wird durch Vergleich der Zeitdauer $(t_2 - t_1)$ mit einer Zeitdauer $(t_{2, \text{fehlerfrei}} - t_{1, \text{fehlerfrei}})$ der fehlerfreien PLL-Schaltung ermittelt.

Dieses Verzögerungsfehler-Detektorverfahren gemäß der vorliegenden Erfindung wird hier als " $\Delta\phi(t)$ -Methode" bezeichnet. Diese $\Delta\phi(t)$ -Methode kann jeglichen Verzögerungsfehler feststellen, der in den analogen Komponenten (der Ladungspumpschaltung, dem Schleifenfilter oder dem VCO) der getesteten PLL-Schaltung 52 vorhanden ist.

Fig. 33 ist ein Blockdiagramm, das ein zweites Ausführungsbeispiel der Verzögerungsfehler-Detektorvorrichtung gemäß der vorliegenden Erfindung zeigt. Diese Verzögerungsfehler-Detektorvorrichtung umfaßt einen Frequenzimpuls-
 generator zur Erzeugung eines Frequenzimpulssignals, eine getestete PLL-Schaltung 52, die daraufhin getestet wird, ob sie
 einen Verzögerungsfehler enthält oder nicht, einen Nulldurchgangsdetektor 61 zur Erfassung eines Nulldurchgangs des
 Ausgangssignals der PLL-Schaltung 52, d. h. zur Erfassung eines Zeitpunkts, zu dem das Ausgangssignal der PLL-
 Schaltung 52 den Amplitudenwert Null durchschreitet, einen Momentanperiodendetektor 52 zur Ermittlung einer Mo-
 mentanperiode des Ausgangssignals der PLL-Schaltung 52 auf der Basis der erfaßten Nulldurchgänge, und einen Verzö-
 gerungszeitdetektor 63 zur Ermittlung, ob in der PLL-Schaltung 52 ein Verzögerungsfehler vorhanden ist oder nicht.

Ein Referenztaktsignal, dessen Frequenz sich impulsartig ändert, wird von dem Frequenzimpulsgenerator 51 an den
 Referenzakteingang der PLL-Schaltung 52 angelegt. Da die Frequenz des Referenztaktsignals sich impulsartig ändert,
 macht die PLL-Schaltung 52 Zustandsübergänge durch, und der Einfluß dieser Zustandsübergänge erscheint in der Aus-
 gangstaktsignalleistung, wenn ein Verzögerungsfehler in der PLL-Schaltung 52 vorhanden ist. Das Ausgangssignal der
 PLL-Schaltung 52, beispielsweise das Ausgangssignal vom VCO in der PLL-Schaltung 52, wird zum Eingang des Null-
 durchgangsdetektors 61 abgezweigt, wo Nulldurchgänge des Ausgangssignals des VCO erfaßt werden. Die erfaßten
 Nulldurchgänge werden dem Eingang des Momentanperiodendetektors 62 geliefert, der seinerseits das Zeitintervall zwi-
 schen zwei benachbarten Nulldurchgängen mit Hilfe eines Zählers auszählt und eine Momentanperiode des Ausgangs-
 signals des VCO auf der Basis des gezählten Zeitintervalls ermittelt.

Der Zeitverzögerungsdetektor 63 erfaßt eine Verzögerungszeit, die sich vom Ende des Frequenzimpulses erstreckt, bis
 die Momentanperiode des Ausgangssignals des VCO sich plötzlich ändert, und stellt fest, ob in der PLL-Schaltung ein
 Verzögerungsfehler vorhanden ist oder nicht, indem diese Verzögerungszeit mit der Verzögerungszeit einer fehlerfreien
 normalen PLL-Schaltung verglichen wird. Dieses Verzögerungsfehler-Detektorverfahren gemäß der vorliegenden Erfin-
 dung wird hier als "Nulldurchgangsmethode" bezeichnet. Als nächstes wird ein spezielles Beispiel 1 beschrieben, bei
 dem die vorliegende Erfindung auf eine fehlerfreie PLL-Schaltung angewendet wird, d. h. eine PLL-Schaltung, die kei-
 nen Verzögerungsfehler enthält. Fig. 18 ist ein Blockdiagramm, das eine verzögerungsfreie PLL-Schaltung zeigt, die
 keinerlei Verzögerungsfehler enthält. Diese PLL-Schaltung umfaßt in üblicher Weise einen Phasen-Frequenz-Detektor
 21, eine Ladungspumpschaltung 22, ein Schleifenfilter 23, einen VCO 24 und eine Taktdecodier- und Pufferschaltung
 25.

Die Simulationen wurden mit dem SPICE-Parameter einer 0,6-µm 5-V CMOS-Technik durchgeführt. Fig. 17 zeigt
 Parameter eines CMOSFET. Verschiedene Wellenformen wurden durch SPICE-Simulationen erhalten. Die Schwin-
 gungsfrequenz des VCO 24 betrug 128 MHz. Die Zeitaufösung der Simulationswellenform betrug 50 ps. Eine Phasen-
 schwankungswellenform $\Delta\phi(t)$ wurde anhand der Wellenform des Simulationsergebnisses gemessen. Die Messung die-
 ser $\Delta\phi(t)$ wurde unter Verwendung von Matlab simuliert.

Fig. 19 zeigt eine Eingangswellenform zu dem VCO 24. Bei diesem speziellen Beispiel 1 wurde zum Zeitpunkt
 1000,5 ns ein Frequenzimpuls an den Referenzakteingang der PLL-Schaltung angelegt. Der Frequenzimpuls änderte
 seine Frequenz von einer hohen Frequenz zu einer niedrigen Frequenz und von einer niedrigen Frequenz zu einer hohen
 Frequenz, wie in Fig. 18 gezeigt. Fig. 20 zeigt eine interne Taktwellenform der PLL-Schaltung. Man erkennt, daß bei der
 nächsten Anstiegsflanke (Zeitpunkt von angenähert 1032 ns) nach Anlegen des Frequenzimpulses dem VCO 24 ein Fre-
 quenz-Abwärts-Impuls eingegeben wird. Ein Frequenz-Aufwärts-Impuls wird dem VCO 24 zum Zeitpunkt von etwa
 1098 ns eingegeben.

Fig. 21 zeigt Wellenformen zum Vergleich der Nulldurchgangsmethode gemäß der vorliegenden Erfindung mit der
 $\Delta\phi(t)$ -Methode gemäß der vorliegenden Erfindung. Fig. 21(a) ist ein Meßergebnis einer Momentanperiode der Schwin-
 gungswellenform des VCO 24, welches mit der Nulldurchgangsmethode der Erfindung gemessen wurde. Die gepunkte-
 ten Linien zeigen eine Momentanperiode der Referenztaktwellenform. Fig. 21(b) zeigt $\Delta\phi(t)$, geschätzt unter Verwen-
 dung des folgenden Algorithmus (Prozedur zur Transformation einer realen Wellenform zu einem Analytiksinal seiner
 Grundfrequenz), der bei der $\Delta\phi(t)$ -Methode der Erfindung verwendet wird.

1. $X_C(t)$ wird unter Verwendung einer schnellen Fourier-Transformation (FFT) in den Frequenzbereich transfor-
 miert.
2. Negative Frequenzkomponenten werden auf Null abgeschnitten. Lediglich positive Frequenzkomponenten in
 der Nähe der Taktfrequenz werden mittels eines Bandpaßfilters (BPF) durchgelassen, während andere positive Fre-
 quenzkomponenten auf Null abgeschnitten werden.
3. Ein Spektrum wird unter Verwendung einer inversen schnellen Fourier-Transformation (IFFT) in den Zeitbe-
 reich transformiert.

D. h., das Spektrum im Frequenzbereich (20 MHz–200 MHz), in welchem die zweite Harmonische nicht enthalten ist,
 wird mittels eines Bandpaßfilters entnommen und ein $\Delta\phi(t)$ wird durch die inverse schnelle Fourier-Transformation er-
 halten.

Wie sich aus Fig. 21(a) ergibt, ändert sich, da die Auflösung in Richtung der Zeitachse hoch gemacht wurde, die Mo-
 mentanperiode des Ausgangssignals vom VCO 24 in zwei Stufen, sowohl an der Anstiegsflanke als auch der Abfall-
 flanke des Frequenzimpulses und kehrt zur Ursprungsperiode zurück, wenn die linke longitudinale gepunktete Linie in
 der Figur beim Zeitpunkt des Endes des Frequenzimpulses liegt, d. h. beim Zeitpunkt von etwa 1066 ns. Mit diesem Zeit-
 punkt beginnt der interne Takt der PLL-Schaltung seinen Frequenznachlaufbetrieb entsprechend dem Frequenzimpuls,
 und der Zustand der Schwingungsfrequenz unterliegt einem Übergang. Bei der longitudinalen Linie auf der rechten Seite
 der Zeichnung versucht der VCO 24 die Periode entsprechend der Anstiegsflanke des Frequenzimpulses zu verringern,
 so daß die Momentanperiode abrupt abnimmt, und somit startet der VCO 24 den Betrieb zur Zurückführung seiner Peri-
 ode zur Referenzperiode (Periode vor Anlegen des Frequenzimpulses) zu jenem Zeitpunkt. Das Zeitintervall von
 57,70 ns zwischen diesen beiden longitudinalen gepunkteten Linien ist ein Zeitintervall, während dessen der Zustand der
 Schwingungsfrequenz einem Übergang ausgesetzt ist.

Betrachtet man $\Delta\phi(t)$ von Fig. 21(b), zeigt sich, daß ein Zustandsübergang infolge des Frequenz-Abwärts-Impulses zum Zeitpunkt t_1 von etwa 1050 ns abgeschlossen ist und der nächste Zustandsübergang entsprechend dem Frequenz-Aufwärts-Impuls zum Zeitpunkt t_2 etwa 58,30 ns nach dem Zeitpunkt t_1 beginnt. Dieses spezielle Beispiel 1 verifiziert, daß die Zeitdauer, während derer die PLL-Schaltung sich in einem bestimmten Zustand befindet, geschätzt werden kann, wenn eine Messung der Neigung einer Momentanphase und ein Frequenzimpulssignal kombiniert werden.

Als nächstes wird ein spezielles Beispiel 2 erläutert, bei dem die vorliegende Erfindung auf eine PLL-Schaltung angewendet wird, die einen Verzögerungsfehler an ihrem Referenzakteingang aufweist. Fig. 22 ist ein Blockdiagramm, das eine PLL-Schaltung zeigt, bei der ein Verzögerungsfehler DF1 am Referenzakteingang ihres Phasen-Frequenzdetektors 21 vorhanden ist. Der Aufbau dieser PLL-Schaltung ist der gleiche wie der in Fig. 18. Diese Art Verzögerungsfehler kann mit dem Verfahren der vorliegenden Erfindung nicht getestet oder festgestellt werden. Der Grund dafür wird nachstehend erläutert.

Die in Fig. 22 gezeigte PLL-Schaltung wurde durch SPICE simuliert. Für die numerische Simulation des Verzögerungsfehlers DF1 am Referenzakteingang wurde eine Reihe einer geraden Anzahl von Invertern in die Schaltung eingesetzt.

Fig. 23(a) zeigt eine Eingangswellenform zu dem VCO 24. Der Frequenzimpuls wurde in seiner Frequenz von einer hohen Frequenz zu einer niedrigen Frequenz und von einer niedrigen Frequenz zu einer hohen Frequenz geändert, wie in Fig. 22 gezeigt. Fig. 23(b) zeigt eine interne Taktwellenform der PLL-Schaltung. Die gestrichelte Linie zeigt die Referenztaktwellenform. Man erkennt, daß die interne Taktwellenform der PLL-Schaltung sich nicht mit der Referenztaktwellenform synchronisiert, sondern vielmehr eine konstante Taktsignalverzögerung, der sogenannte Takt-Skew auftritt.

Fig. 24 zeigt Wellenformen zum Vergleich der Nulldurchgangsmethode gemäß der Erfindung mit der $\Delta\phi(t)$ -Methode gemäß der Erfindung. Fig. 24(a) ist ein Meßergebnis einer Momentanperiode der Schwingungswellenform des VCO 24, gemessen nach der Nulldurchgangsmethode gemäß der Erfindung. Die gestrichelte Linie zeigt eine Momentanperiode der Referenztaktwellenform. Fig. 24(b) zeigt ein $\Delta\phi(t)$, das unter Verwendung des vorgenannten Algorithmus (Prozedur zur Transformation einer realen Wellenform zu einem Analytiksinal seiner Grundfrequenz) geschätzt wurde, welcher in der $\Delta\phi(t)$ -Methode der vorliegenden Erfindung eingesetzt wird.

Aus Fig. 24 ist ersichtlich, daß selbst, wenn ein Verzögerungsfehler DF1 am Referenzakteingang vorhanden ist, die PLL-Schaltung korrekt Zustandsübergänge vollzieht. Daher kann diese Art Verzögerungsfehler nicht dadurch festgestellt werden, daß lediglich die internen Zustände der PLL-Schaltung betrachtet werden. Im Gegensatz dazu kann, wie aus Fig. 23(b) leicht ersichtlich, diese Art Verzögerungsfehler leicht durch Vergleich mit einem externen Referenztakt festgestellt werden. Dieses spezielle Beispiel 2 verifiziert, daß das Verfahren der vorliegenden Erfindung nicht einen Verzögerungsfehler DF1 feststellen kann, der am Referenzakteingang der PLL-Schaltung vorhanden ist.

Als nächstes wird ein spezielles Beispiel 3 erörtert, bei dem die vorliegende Erfindung auf eine PLL-Schaltung angewendet wird, die einen Verzögerungsfehler am Signaleingang der Ladungspumpschaltung aufweist. Fig. 25 ist ein Blockdiagramm, das eine PLL-Schaltung zeigt, bei der ein Verzögerungsfehler DF2 am Signaleingang der Ladungspumpschaltung 22 in der PLL-Schaltung vorliegt. Die Konfiguration dieser PLL-Schaltung ist die gleiche wie die in Fig. 18.

Die Ladungspumpschaltung 22 weist zwei Signaleingänge auf. D. h. ein Signaleingang bekommt ein logisches Aufwärts-Signal vom Phasen-Frequenzdetektor 21, während der andere Signaleingang ein logisches Abwärts-Signal vom Phasen-Frequenzdetektor 21 bekommt. Das logische Aufwärts-Signal oder Abwärts-Signal vom Phasen-Frequenzdetektor 21 wird von der Ladungspumpschaltung 22 zu einem analogen Signal umgesetzt. Das logische Aufwärts- und das Abwärts-Signal entsprechen den Zustandsübergängen der "Frequenzerhöhung" bzw. der "Frequenzverringerung".

Zur Aktivierung verschiedener Zustandsübergänge sind verschiedene Frequenzimpulse erforderlich. (i): Bei der Erfassung eines Verzögerungsfehlers DF2 am Aufwärts-Signaleingang der Ladungspumpschaltung 22 wird die Frequenz des Frequenzimpulssignals nacheinander von einer hohen Frequenz zu einer niedrigen Frequenz und von einer niedrigen Frequenz zu einer hohen Frequenz geändert. (ii): Im Gegensatz dazu wird im Fall der Erfassung eines Verzögerungsfehlers DF3 (siehe Fig. 28) am Abwärts-Signaleingang der Ladungspumpschaltung 22 die Frequenz des Frequenzimpulssignals nacheinander von einer niedrigen Frequenz zu einer hohen Frequenz und von einer hohen Frequenz zu einer niedrigen Frequenz geändert. Dies beruht auf denselben Überlegungen wie das Klemmfehlertesten, das bereits besprochen wurde. D. h., bei Erfassung eines 0-Klemmfehlers kann es ausreichen, daß ein Testmuster, das den entgegengesetzten logischen Wert "1" an der Fehlerposition annimmt, erzeugt wird.

Zunächst wird eine PLL-Schaltung mit einem Verzögerungsfehler DF2 am Aufwärts-Signaleingang der Ladungspumpschaltung 22 besprochen. Die PLL-Schaltung, die in Fig. 25 gezeigt ist, wurde durch SPICE simuliert. Zur Simulation des Verzögerungsfehlers DF2 an dem Aufwärts-Signaleingang wurde eine Reihe einer geraden Anzahl von Invertern in die Schaltung eingesetzt. Die Verzögerungszeit des Verzögerungsfehlers DF2 betrug 2,957 ns. Der Frequenzimpuls wurde in seiner Frequenz von einer hohen Frequenz zu einer niedrigen Frequenz und von einer niedrigen Frequenz zu einer hohen Frequenz geändert, wie in Fig. 25 gezeigt.

Fig. 26(a) zeigt eine Eingangswellenform zu dem VCO 24. Fig. 26(b) zeigt eine interne Taktwellenform der PLL-Schaltung. Die gestrichelte Linie zeigt die Referenztaktwellenform.

Fig. 27 zeigt Wellenformdiagramme zum Vergleich der Nulldurchgangsmethode gemäß der Erfindung mit der $\Delta\phi(t)$ -Methode gemäß der Erfindung. Fig. 27(a) stellt das Meßergebnis einer Momentanperiode der Schwingungswellenform des VCO 24 dar, die mit der Nulldurchgangsmethode gemäß der Erfindung gemessen wurde. Die gestrichelte Linie zeigt eine Momentanperiode der Referenztaktwellenform. Die Zeitdauer ($t_2 - t_1$) während derer die PLL-Schaltung in einem bestimmten Zustand geblieben ist, wurde zu etwa 61,65 ns geschätzt. Fig. 27(b) zeigt ein $\Delta\phi(t)$, die unter Verwendung des vorgenannten Algorithmus (Prozedur zur Transformation einer realen Wellenform zu einem Analytiksinal ihrer Grundfrequenz) geschätzt wurde, welcher bei der $\Delta\phi(t)$ -Methode der Erfindung eingesetzt wird. Die Zeitdauer ($t_2 - t_1$) wurde zu etwa 61,90 ns geschätzt.

Als nächstes wird eine PLL-Schaltung mit einem Verzögerungsfehler DF3 am Abwärts-Signaleingang der Ladungspumpschaltung 22 betrachtet. Die in Fig. 28 gezeigte PLL-Schaltung wurde durch SPICE simuliert. Für die numerische

Simulation des Verzögerungsfehlers DF3 am Abwärts-Signaleingang wurde eine Reihe einer geraden Anzahl von Invertoren in die Schaltung eingesetzt. Die Verzögerungszeit des Verzögerungsfehlers DF3 betrug 4,413 ns. Der Frequenzimpuls wurde in seiner Frequenz von einer niedrigen Frequenz zu einer hohen Frequenz und von einer hohen Frequenz zu einer niedrigen Frequenz geändert, wie in Fig. 28 gezeigt.

Fig. 29(a) zeigt eine Eingangswellenform des VCO 24. Fig. 29(b) zeigt eine interne Taktwellenform der PLL-Schaltung. Die gestrichelte Linie zeigt die Referenztaktwellenform.

Fig. 30 zeigt Wellenformdiagramme zum Vergleich der Nulldurchgangsmethode gemäß der Erfindung mit der $\Delta\phi(t)$ -Methode gemäß der Erfindung. Fig. 30(a) ist ein Meßergebnis einer Momentanperiode der Schwingungswellenform des VCO 24, die mit der Nulldurchgangsmethode der vorliegenden Erfindung gemessen wurde. Die gestrichelte Linie zeigt eine Momentanperiode der Referenztaktwellenform. Die Zeitdauer ($t_2 - t_1$) wurde zu etwa 29,25 ns geschätzt. Fig. 30(b) zeigt ein $\Delta\phi(t)$, das unter Verwendung des vorgenannten Algorithmus (Prozedur zur Transformation einer realen Wellenform zu einem Analytiksinal seiner Grundfrequenz) geschätzt wurde, der bei der $\Delta\phi(t)$ -Methode der Erfindung verwendet wird. Die Zeitdauer ($t_2 - t_1$) wurde zu etwa 25,20 ns geschätzt.

Es soll nun die $\Delta\phi(t)$ -Methode gemäß der Erfindung mit der Nulldurchgangsmethode gemäß der Erfindung verglichen werden. Die in Fig. 25 gezeigte PLL-Schaltung wurde bei diesem Experiment eingesetzt, und die Verzögerungszeit eines Fehlers am Signaleingang der Ladungspumpschaltung 22 wurde von 0 ns bis 7 ns variiert.

Fig. 31 zeigt ein Ergebnis des Experiments mit der PLL-Schaltung, die einen Verzögerungsfehler DF2 am Aufwärts-signaleingang der Ladungspumpschaltung 22 aufweist. Wie aus Fig. 31 ersichtlich, liefert die $\Delta(t)$ -Methode gemäß der Erfindung Schätzwerte, die im wesentlichen mit jenen austauschbar sind, die mit Hilfe der Nulldurchgangsmethode gemäß der Erfindung gewonnen werden. Die geschätzte Verzögerungszeit ändert sich stufenweise. Dies beruht darauf, daß der Phasen-Frequenzdetektor 21 Zustandsübergänge der PLL-Schaltung nur zu Zeitpunkten von Taktflanken hervorruft.

Fig. 32 zeigt ein Ergebnis des Experiments mit der PLL-Schaltung, die einen Verzögerungsfehler DF3 am Abwärts-Signaleingang der Ladungspumpschaltung 22 aufweist. Vergleicht man die Nulldurchgangsmethode gemäß der Erfindung mit der $\Delta\phi(t)$ -Methode gemäß der Erfindung zeigt sich aus Fig. 32, daß die Nulldurchgangsmethode einen großen Ruhewertfehler aufweist. Dies beruht darauf, daß die Meßpunkte der Nulldurchgangsmethode auf die Nulldurchgänge beschränkt sind. Auf der anderen Seite gibt es bei der $\Delta\phi(t)$ -Methode keine Beschränkung hinsichtlich der Zeitauflösung, selbst wenn die Periode der Wellenform kurz ist. Aus einem Vergleich der Fig. 31 und 32 ergibt sich, daß die $\Delta\phi(t)$ -Methode Verzögerungsfehler gleich oder länger als 2 ns erfassen kann. Anders ausgedrückt, die $\Delta\phi(t)$ -Methode gemäß der Erfindung kann Verzögerungsfehler unabhängig von der Periode der Wellenform erfassen.

Aus den vorangehenden Ergebnissen ergibt sich, daß die $\Delta\phi(t)$ -Methode gemäß der Erfindung bewirkt, daß der Zustand einer PLL-Schaltung zu einem Zustand niedriger Frequenz wechselt, und liefert Schätzwerte, die mit jenen der Nulldurchgangsmethode gemäß der Erfindung im Fall der Schätzung der Zeitdauer austauschbar sind, während derer die PLL-Schaltung in einem bestimmten Zustand verbleibt. Andererseits liefert in dem Fall, wo veranlaßt wird, das der Zustand der PLL-Schaltung zu einem Zustand hoher Frequenz wechselt und die Zeitdauer geschätzt wird, während derer die PLL-Schaltung in einem bestimmten Zustand bleibt, die $\Delta\phi(t)$ -Methode gemäß der Erfindung einen kleineren Ruhewertfehler als die Nulldurchgangsmethode gemäß der Erfindung.

Die $\Delta\phi(t)$ -Methode gemäß der Erfindung kann aber nicht die Verzögerungszeit eines Verzögerungsfehlers messen. Dies wird klar aus der Tatsache, daß sich jedes der Zeitintervalle ($t_2 - t_1$) die in Fig. 31 und 32 dargestellt sind, nicht proportional zur Verzögerungszeit eines Verzögerungsfehlers ändert.

Wie oben erwähnt, führt die $\Delta\phi(t)$ -Methode gemäß der Erfindung die folgenden Schritte aus: (i) Anlegen eines Frequenzimpulses an eine PLL-Schaltung, (ii) vorübergehendes Halten der PLL-Schaltung im Zustand des Schwingens mit einer bestimmten Frequenz, und (iii) Erfassen eines Verzögerungsfehlers in der PLL-Schaltung durch Messen der Zeitdauer, während derer die PLL-Schaltung im Zustand des Schwingens mit der bestimmten Frequenz bleibt. Folglich zeichnet sich das Verzögerungsfehler-Detektorverfahren, das die $\Delta\phi(t)$ -Methode gemäß der Erfindung verwendet, dadurch aus, daß kein Trigger-Signal für einen Abtastbetrieb erforderlich ist und daß keine Beschränkung hinsichtlich der Zeitauflösung auferlegt wird, selbst wenn die Periode der Wellenform kurz ist.

Andererseits erfordert das Verzögerungsfehler-Detektorverfahren unter Verwendung der Nulldurchgangsmethode gemäß der Erfindung ein Triggersignal für einen Abtastbetrieb und weist einen großen Ruhewertfehler auf, wenn die Periode der Wellenform kurz ist. Diese Tatsachen wurden durch SPICE-Simulationen und Meßsimulationen unter Verwendung von Matlab verifiziert, wie oben erwähnt.

Da weiterhin eine PLL-Schaltung ein rückgekoppeltes System ist, führt ein Verzögerungsfehler zu einer transienten Signalverzögerung, d. h. einem transienten Skew. Da der Zeitpunkt, zu dem eine Signalverzögerung auftritt beschränkt ist, ist es schwierig einen Test unter Verwendung eines Triggers wie bei der Nulldurchgangsmethode gemäß der Erfindung auszuführen. Der Grund dafür liegt darin, daß die Zielnulldurchgänge genau erfaßt werden müssen. Im Gegensatz dazu hat die $\Delta\phi(t)$ -Methode gemäß der Erfindung den Vorteil, daß keine Beschränkung hinsichtlich der zeitlichen Auflösung auferlegt wird. Darüber hinaus besteht der Vorteil, daß Verzögerungsfehler, die in den Mischsignalblöcken (der Ladungspumpschaltung, dem Schleifenfilter und dem VCO) der getesteten PLL-Schaltung vorhanden sind, gleichzeitig mitgetestet oder erfaßt werden können.

Literaturverzeichnis

- [d1]: Jan M. Rabaey, Digital Integrated Circuits: A Design Perspective, Prentice-Hall, Inc., 1996.
- [d2]: Hideo Fujiwara, Design and Test of A Computer, Kogakutohsho Co. Ltd., 1990.
- [d3]: R. Scott Fetherston, Imtiaz P. Shaik and Siyad C. Ma, "Testability Features of AMD-K6 Microprocessor", IEEE International Test Conference, pp. 406-413, 1997.
- [d4]: Sudhakar M. Reddy, Delay Fault: Modeling, Fault Simulation, and Test Generation, IEEE International Test Conference Tutorial, 1995.
- [d5]: Ankan K. Ppramanick and Sudhakar M. Reddy, "On the Design of Path Delay Fault Testable Combinational Cir-

cuits", IEEE International Fault-Tolerant Computing Symposium, pp. 374-381, 1990.
 [d6]: Niklaus Wirth, Algorithm + Data Structures = Programs, Prentice-Hall, Inc., 1976.
 [d7]: Manfred Schroeder, Fractals, Chaos, Power Laws, W. H. Freeman and Company, 1991.
 [d8]: Floyd M. Gardner, "Phase Accuracy of Charge Pump PLL's", IEEE Trans. Commun., vol. COM-30, pp.
 2362-2363, 1982.

Patentansprüche

1. Verfahren zur Erfassung eines Verzögerungsfehlers in einer PLL-Schaltung, umfassend
 - (a) Anlegen eines Frequenzimpulses an die PLL-Schaltung (52) zur Verursachung eines Zustandsübergangs der PLL-Schaltung,
 - (b) Schätzen einer Momentanphase eines von der PLL-Schaltung (52) ausgegebenen Ausgangssignals anhand dieses Ausgangssignals, und
 - (c) Messen, aufgrund des Schwankungsterms der Momentanphase, einer Zeitdauer, während derer die PLL-Schaltung (52) im Zustand der Schwingung mit einer bestimmten Frequenz bleibt.
2. Verfahren nach Anspruch 1, bei dem Schritt (b) umfaßt:
 - (d) Transformieren einer Wellenform des Ausgangssignal von der PLL-Schaltung (52) zu einem Analytiksignal, und
 - (e) Schätzen einer Momentanphase des Analytiksignals, und
 bei dem Schritt (c) umfaßt:
 - (f) Erfassen eines Verzögerungsfehlers durch Vergleich einer Zeitdauer, während derer die PLL-Schaltung (52) in einem Zustand des Schwingens mit einer bestimmten Frequenz bleibt, mit einer Zeitdauer, während derer eine fehlerfreie PLL-Schaltung ohne Verzögerungsfehler in einem Zustand des Schwingens mit einer bestimmten Frequenz bleibt.
3. Verfahren nach Anspruch 2, bei dem Schritt (c) ein Schritt des Schätzens einer Zeitdauer von einem Änderungsabschnitt der Neigung der Momentanphase ist.
4. Verfahren zur Erfassung eines Verzögerungsfehlers in einer PLL-Schaltung, umfassend die Schritte:
 - (a) Anlegen eines Frequenzimpulses an eine PLL-Schaltung (52) zum Bewirken eines Zustandsübergangs in der PLL-Schaltung,
 - (b) Schätzen einer Momentanperiode eines von der PLL-Schaltung ausgegebenen Signals aufgrund dieses Signals, und
 - (c) Messen, anhand der Momentanperiode, einer Zeitdauer, während derer die PLL-Schaltung in einem Zustand des Schwingens mit einer bestimmten Frequenz bleibt.
5. Verfahren nach Anspruch 4, bei dem Schritt (c) das Messen einer Zeitdauer von einem Zeitpunkt, zu dem der angelegte Frequenzimpuls in seinen Ausgangszustand zurückkehrt, bis zu einem Zeitpunkt umfaßt, zu dem die Momentanperiode des Ausgangssignals der PLL-Schaltung sich plötzlich ändert.
6. Vorrichtung zur Erfassung eines Verzögerungsfehlers einer PLL-Schaltung, umfassend:
 eine Frequenzimpulsanlegeeinrichtung (51) zum Anlegen eines Frequenzimpulses an eine zu testende PLL-Schaltung (52) als Referenztaktsignal,
 eine Transformationseinrichtung (53) zur Transformation der Wellenform eines von der PLL-Schaltung ausgegebenen Signals zu einem Analytiksignal,
 eine Schätzeinrichtung (54) zum Schätzen einer Momentanphase des Analytiksignals, und
 eine Verzögerungszeitmeßeinrichtung (56) zum Messen einer Verzögerungszeit anhand des Schwankungsterms der geschätzten Momentanphase.
7. Vorrichtung nach Anspruch 6, bei der die Transformationseinrichtung (53) ein Hilbert-Paar-Generator ist, und die ferner eine Einrichtung (55) zum Schätzen einer linearen Phase anhand der geschätzten Momentanphase und zum Entfernen der geschätzten linearen Phase von der geschätzten Momentanphase aufweist, um einen Schwankungsterm der Momentanphase zu erhalten.
8. Vorrichtung nach Anspruch 6, bei dem die Verzögerungszeitmeßeinrichtung eine Einrichtung zur Erfassung eines Verzögerungsfehlers durch Vergleich einer Zeitdauer, während derer die PLL-Schaltung in einem Zustand des Schwingens mit einer bestimmten Frequenz bleibt, mit einer Zeitdauer, während derer eine fehlerfreie PLL-Schaltung ohne Verzögerungsfehler in einem Zustand des Schwingens mit einer bestimmten Frequenz bleibt, ist.
9. Vorrichtung nach Anspruch 6, bei der die Verzögerungszeitmeßeinrichtung (56) eine Einrichtung zum Schätzen einer Zeitdauer aufgrund eines Änderungsabschnitts der Neigung der Momentanphase ist.
10. Vorrichtung zur Erfassung eines Verzögerungsfehlers in einer PLL-Schaltung, umfassend:
 eine Frequenzimpulsanlegeeinrichtung (51) zum Anlegen eines Frequenzimpulses an eine zu testende PLL-Schaltung (52) als Referenztaktsignal,
 eine Schätzeinrichtung (61, 62) zum Schätzen einer Momentanperiode eines von der PLL-Schaltung ausgegebenen Signals anhand dieses Signals, und
 eine Verzögerungszeitmeßeinrichtung (63) zum Messen einer Verzögerungszeit anhand der geschätzten Momentanperiode.
11. Vorrichtung nach Anspruch 10, bei der die Verzögerungszeitmeßeinrichtung (63) eine Einrichtung zum Messen einer Zeitdauer von einem Zeitpunkt, zu dem der angelegte Frequenzimpuls zu seinem ursprünglichen Zustand zurückkehrt, bis zu einem Zeitpunkt, zu dem die Momentanperiode des Ausgangssignals von der PLL-Schaltung (52) sich plötzlich ändert, ist.

Hierzu 21 Seite(n) Zeichnungen

- Leerseite -

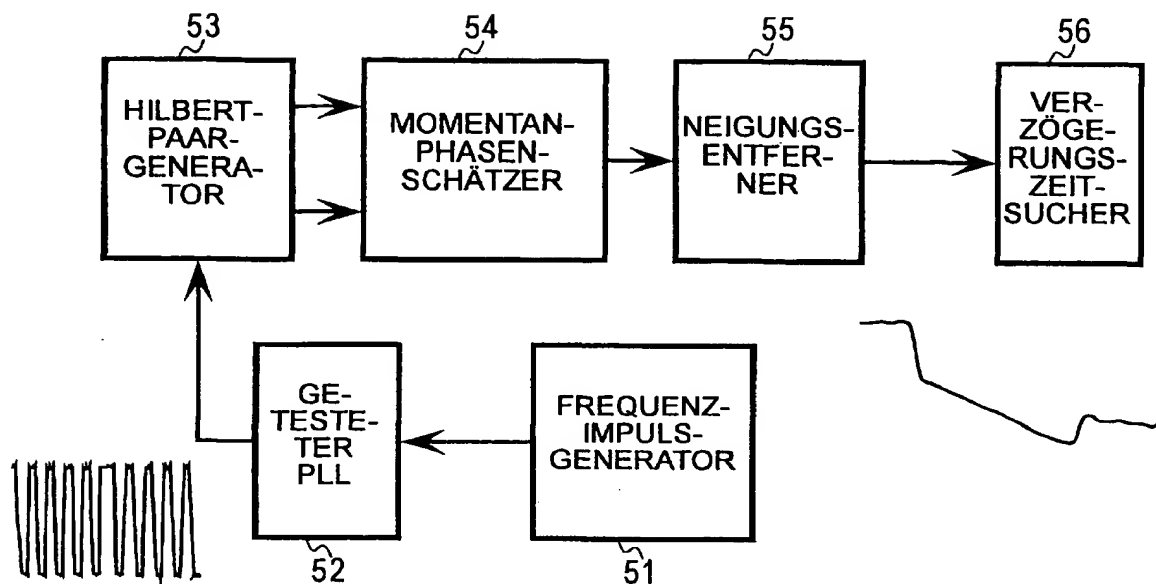


FIG.1

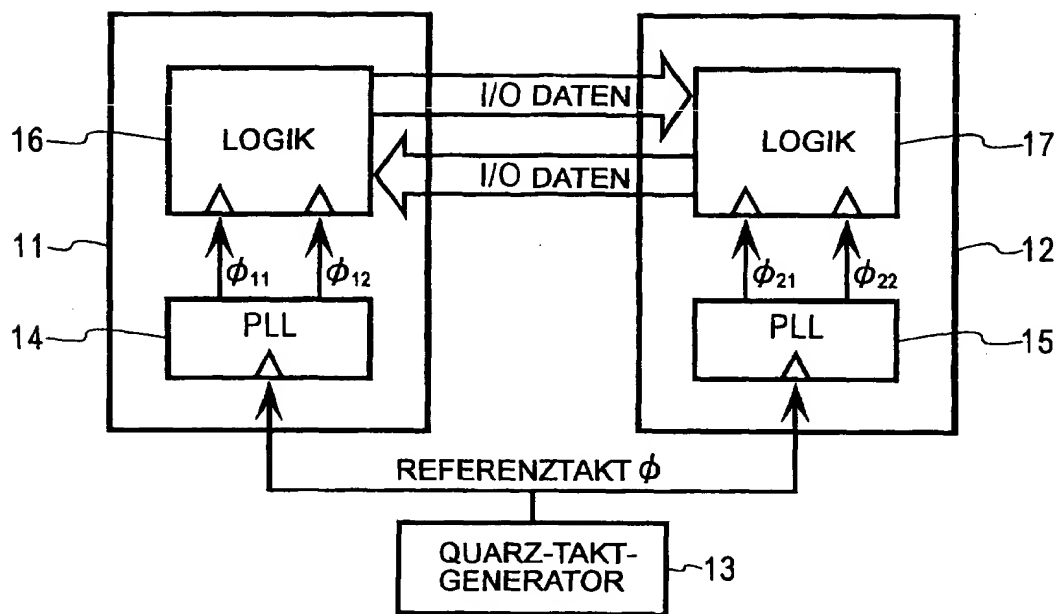


FIG.2(a)

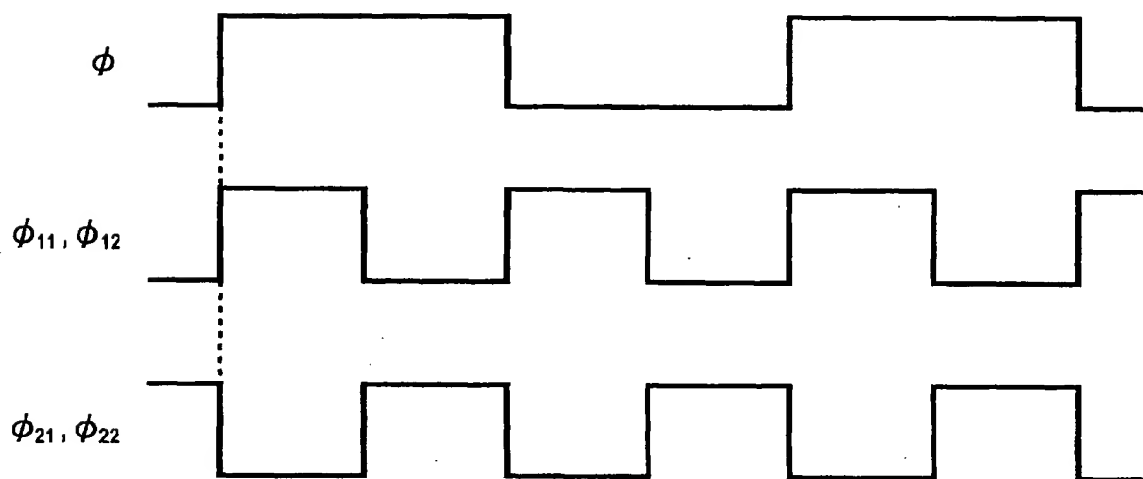


FIG.2(b)

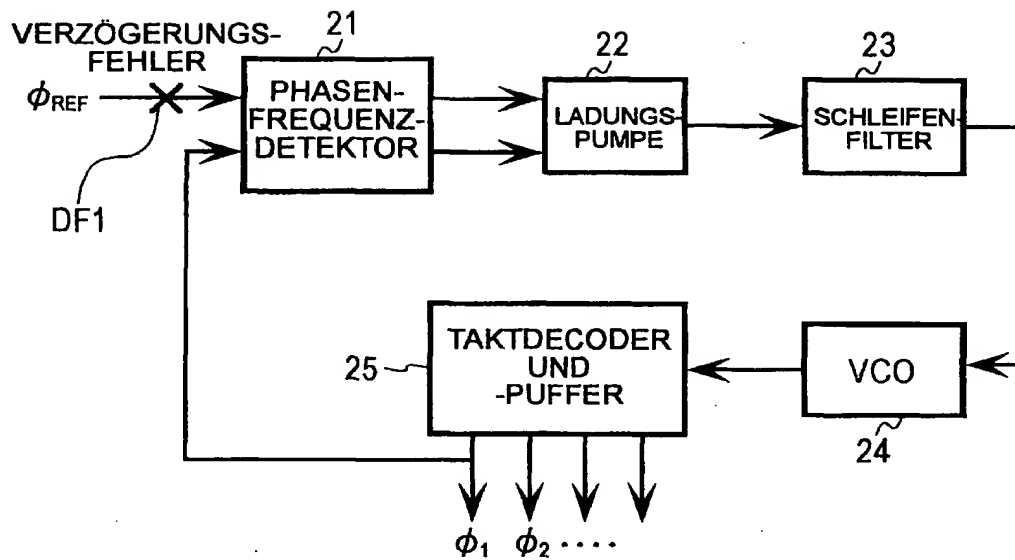


FIG.3

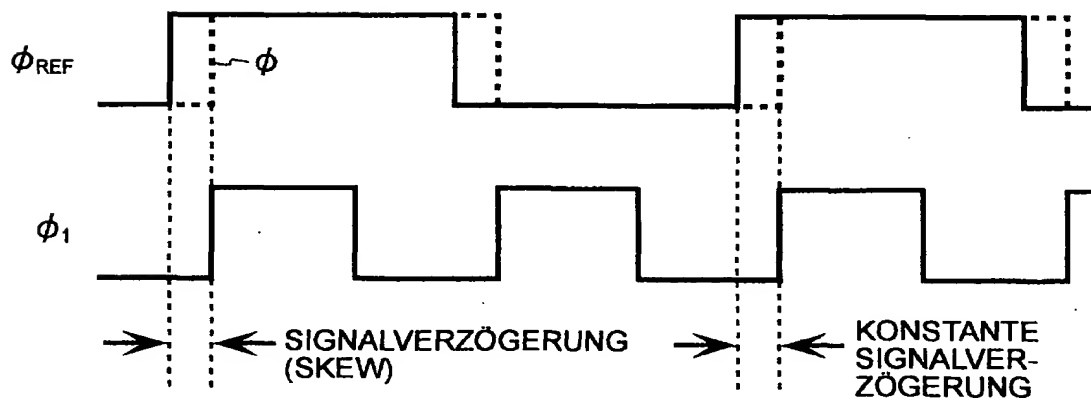


FIG.4

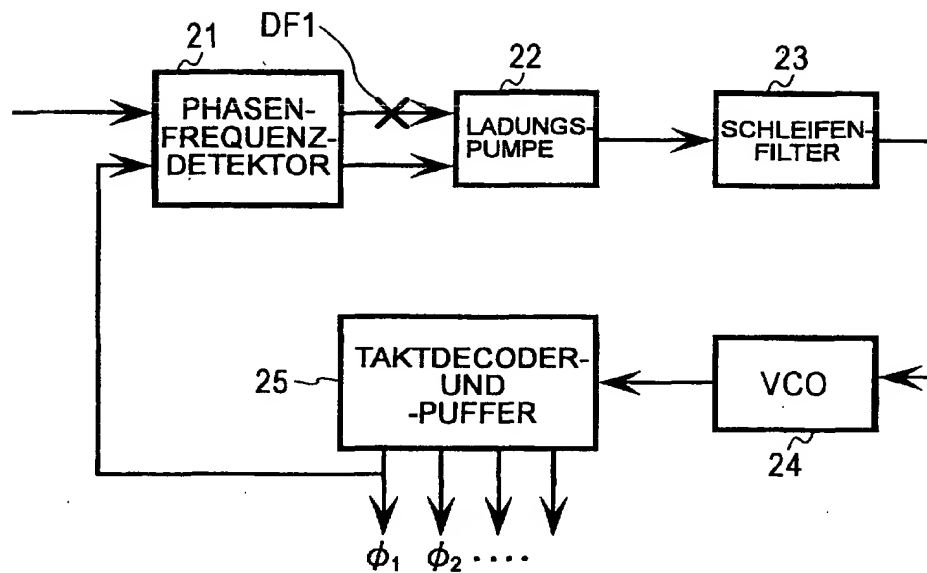


FIG.5

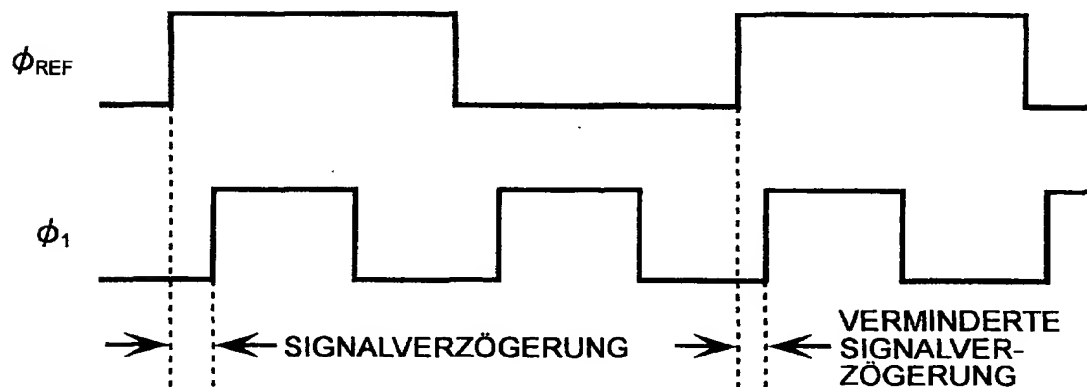


FIG.6

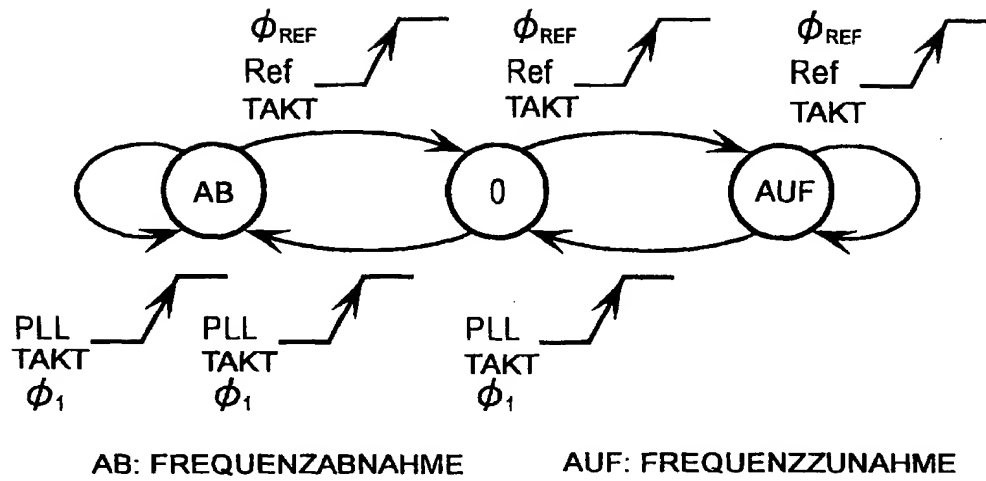


FIG.7

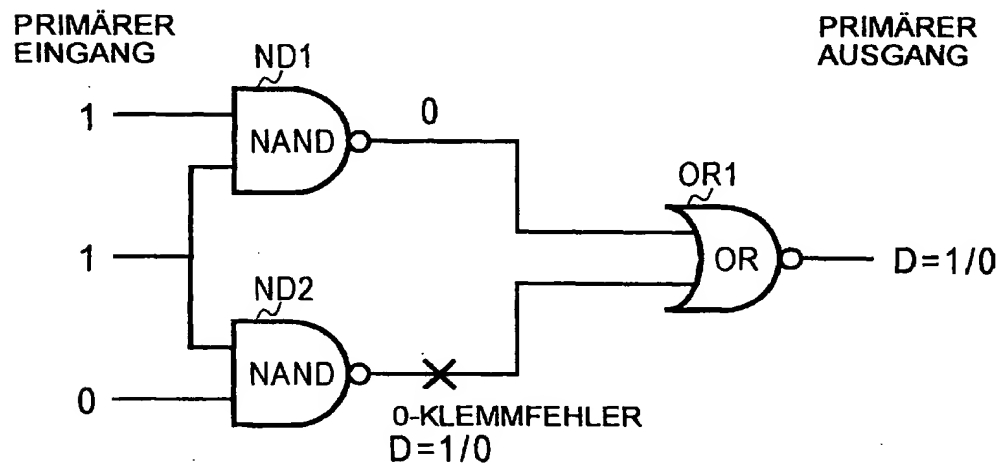


FIG.8

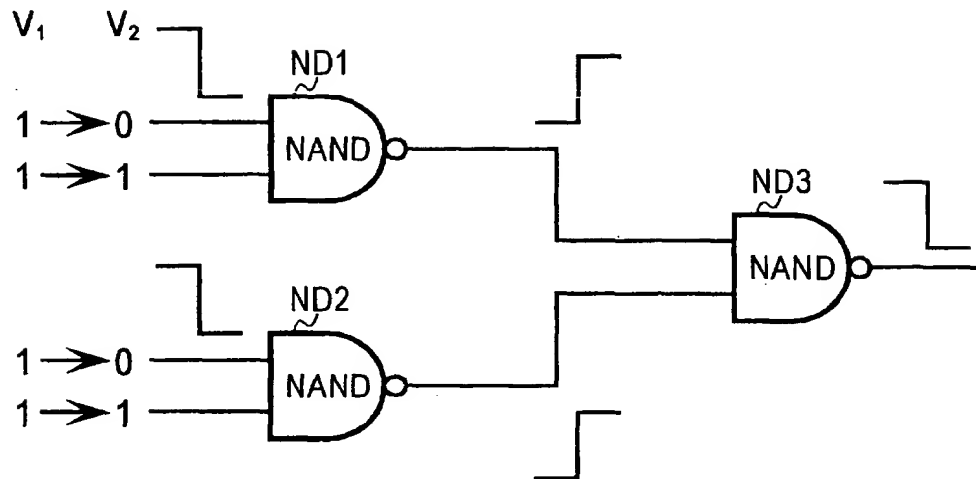


FIG.9

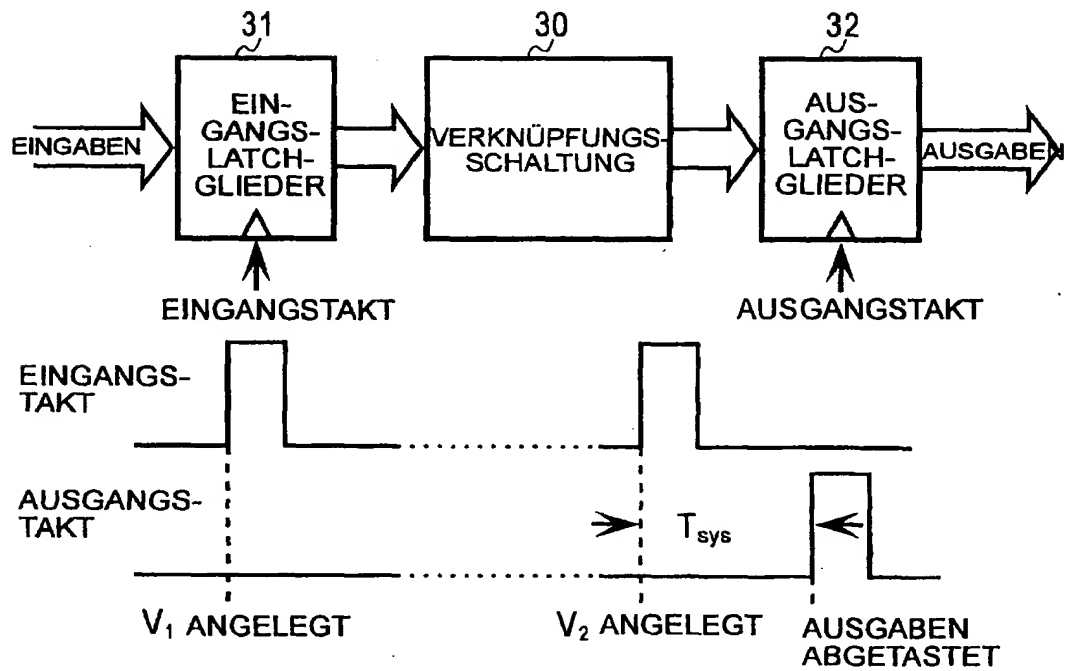


FIG.10

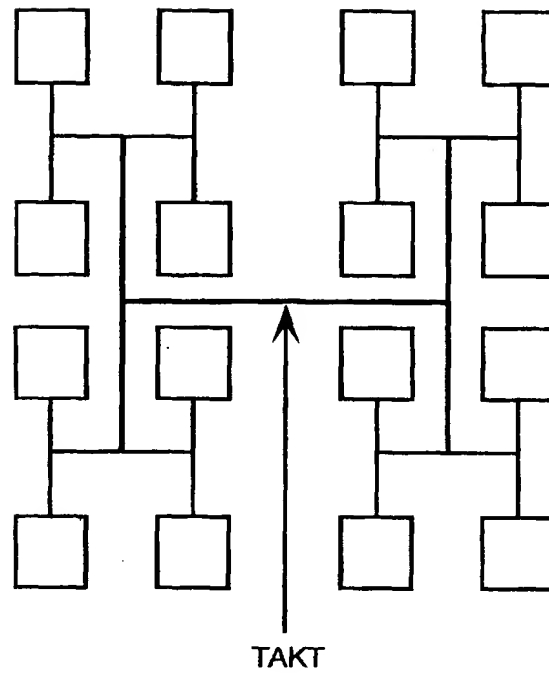


FIG.11

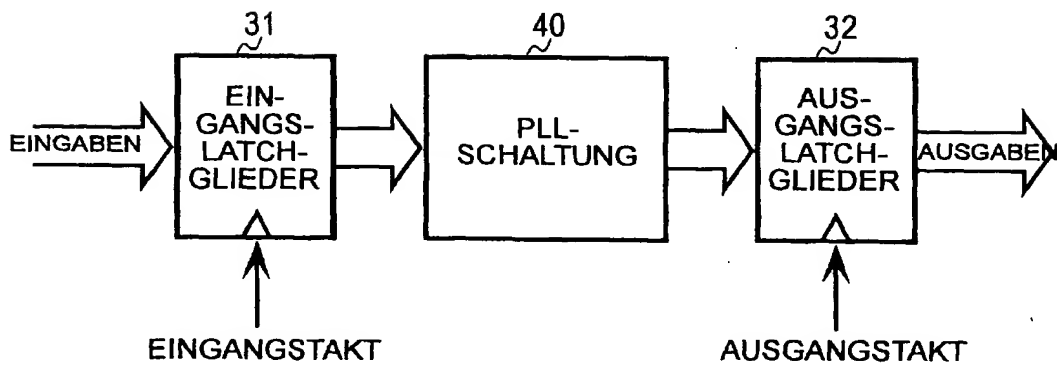


FIG.12

FIG.13(a)

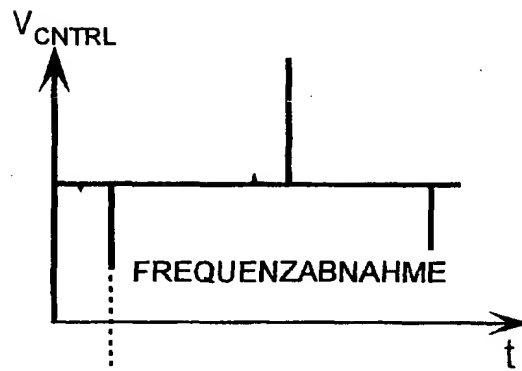


FIG.13(b)



FIG.14(a)

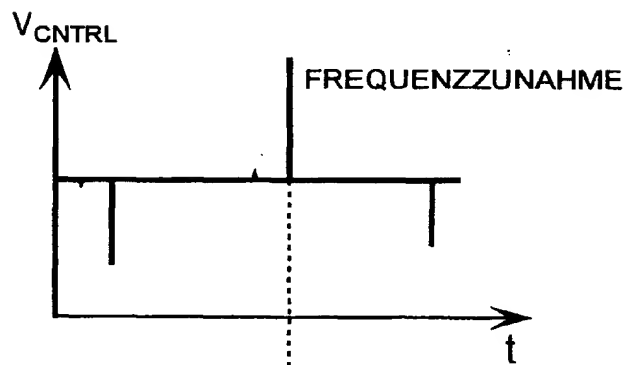
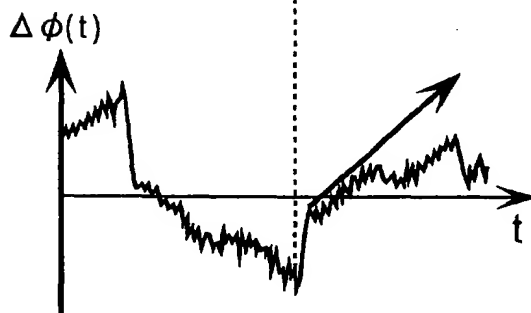
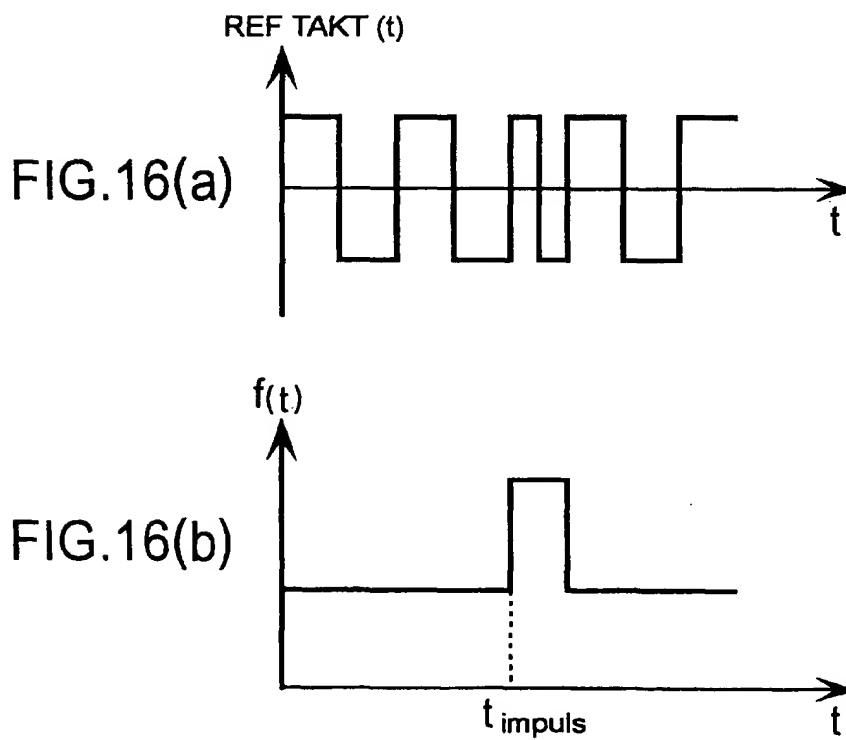
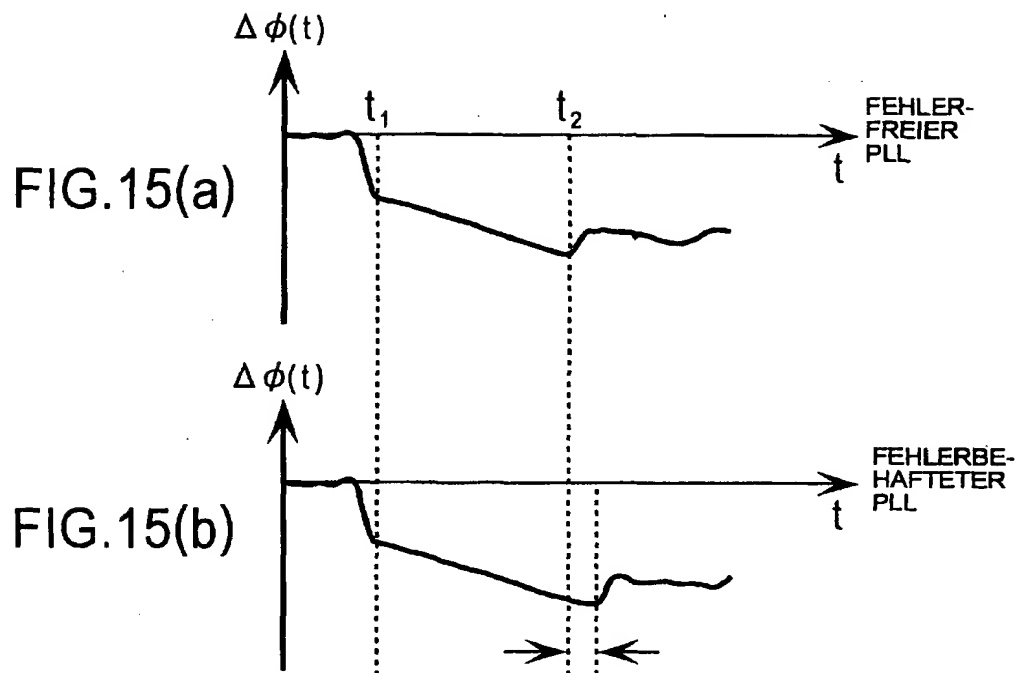


FIG.14(b)





PARAMETER	nMOS	pMOS	EINHEIT
V_{TO}	0,7386893	-0,9160475	V
t_{ox}	135,23	134,216	Å
XL	-0,0672454	-0,0287155	μm
XW	-0,166238	-0,200027	μm
RSH	64,7204	117,086	$\Omega / []$

FIG.17

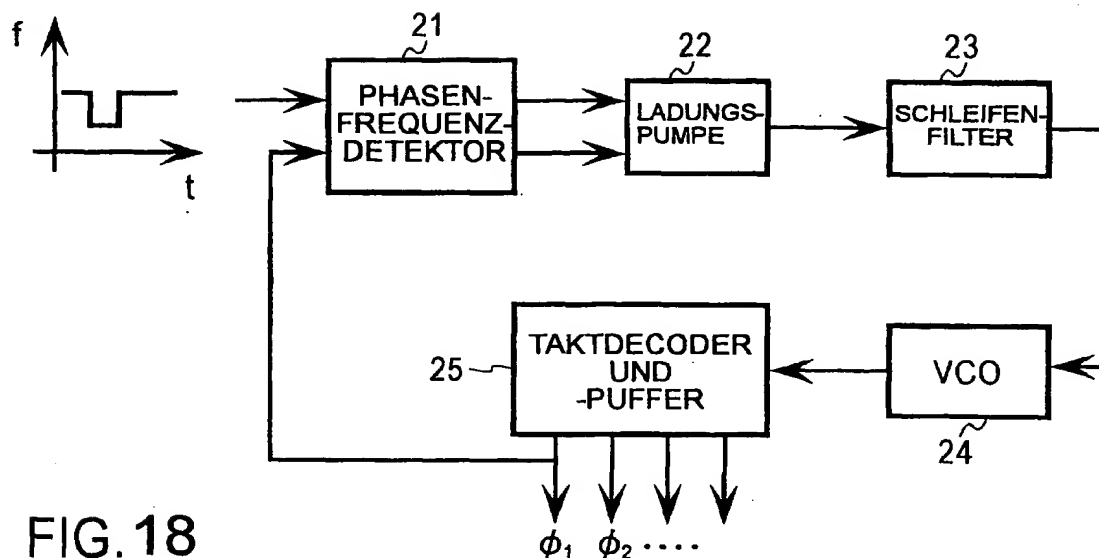


FIG. 18

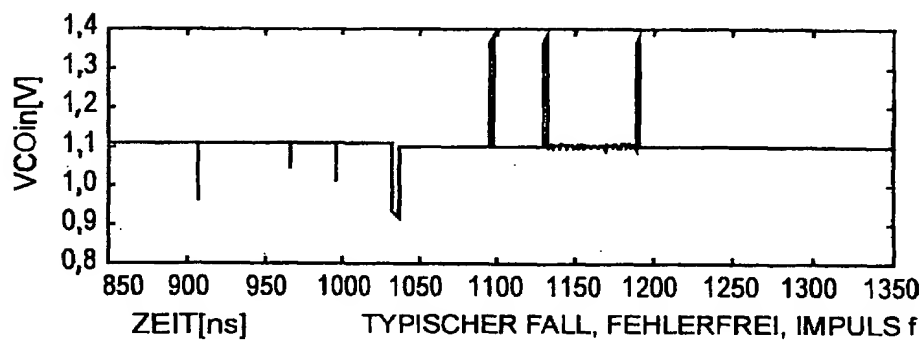


FIG. 19

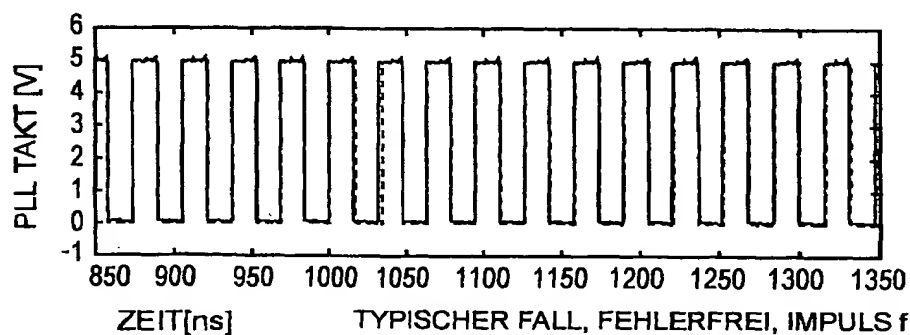


FIG. 20

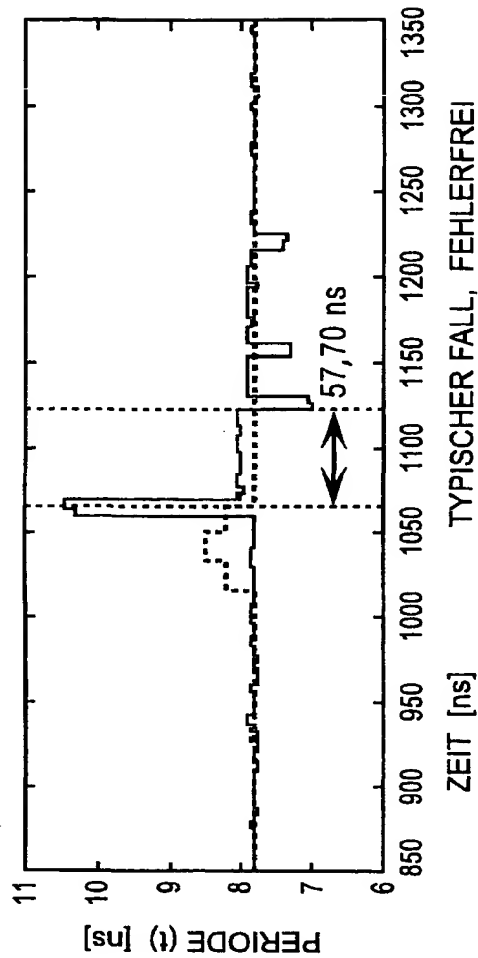


FIG.21(a)

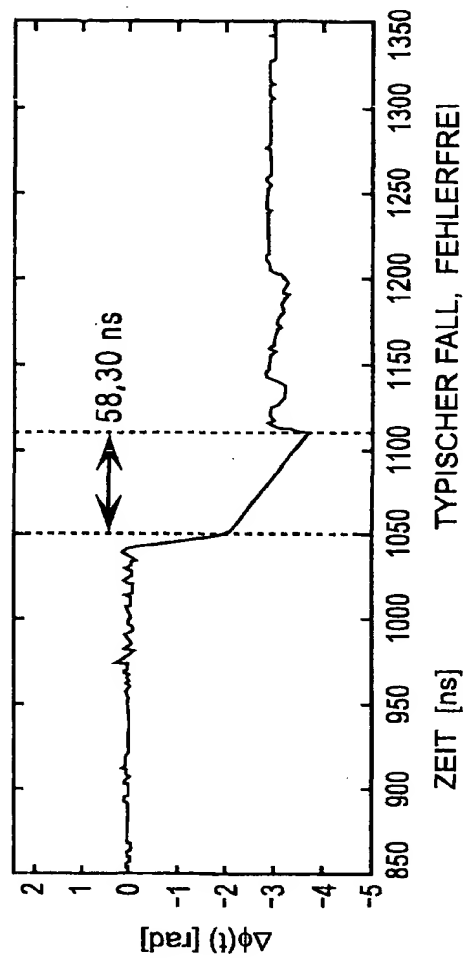


FIG.21(b)

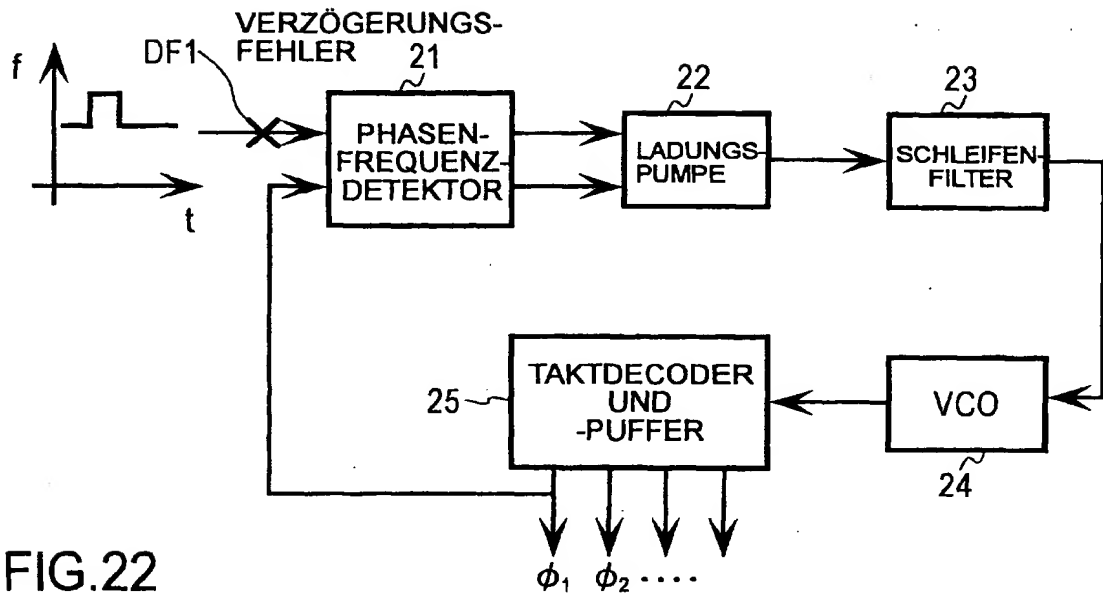


FIG. 23(a)

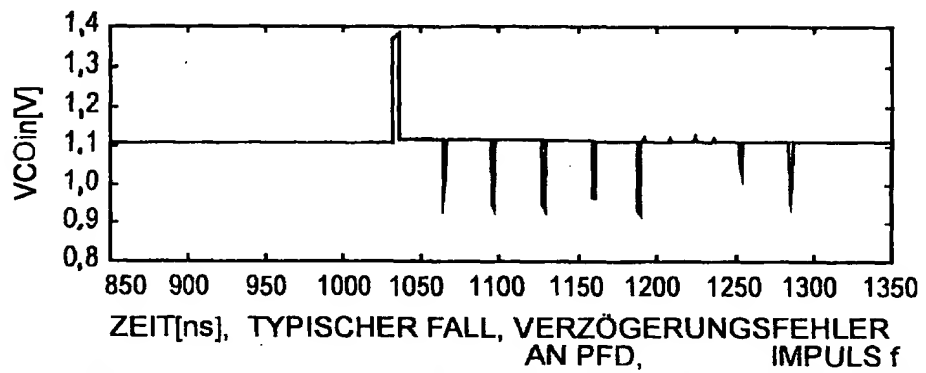
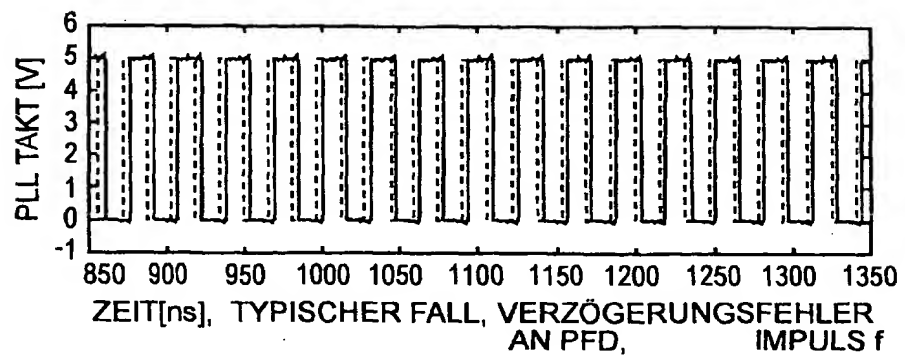


FIG. 23(b)



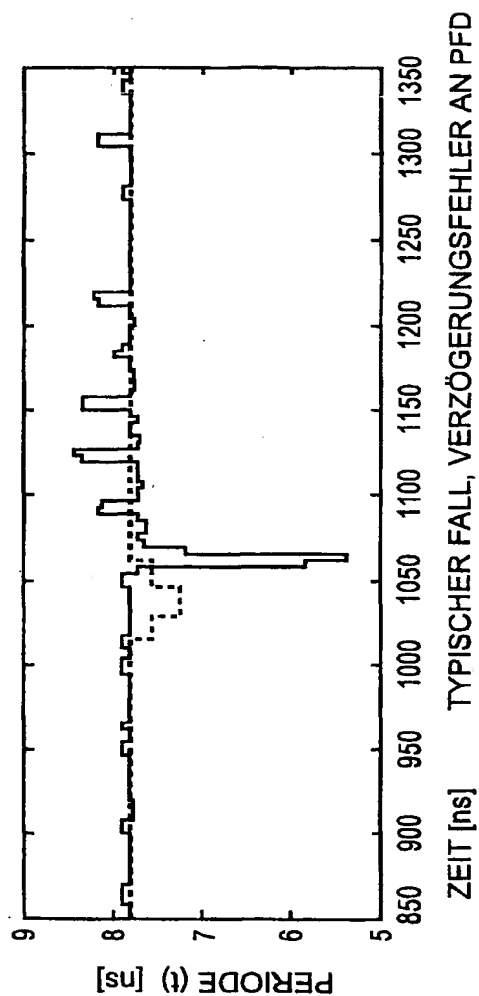


FIG. 24(a)

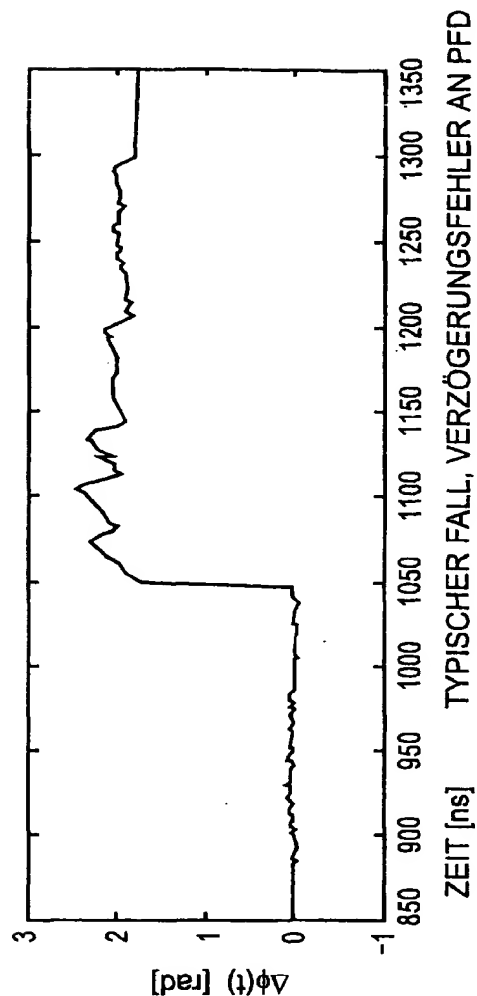


FIG. 24(b)

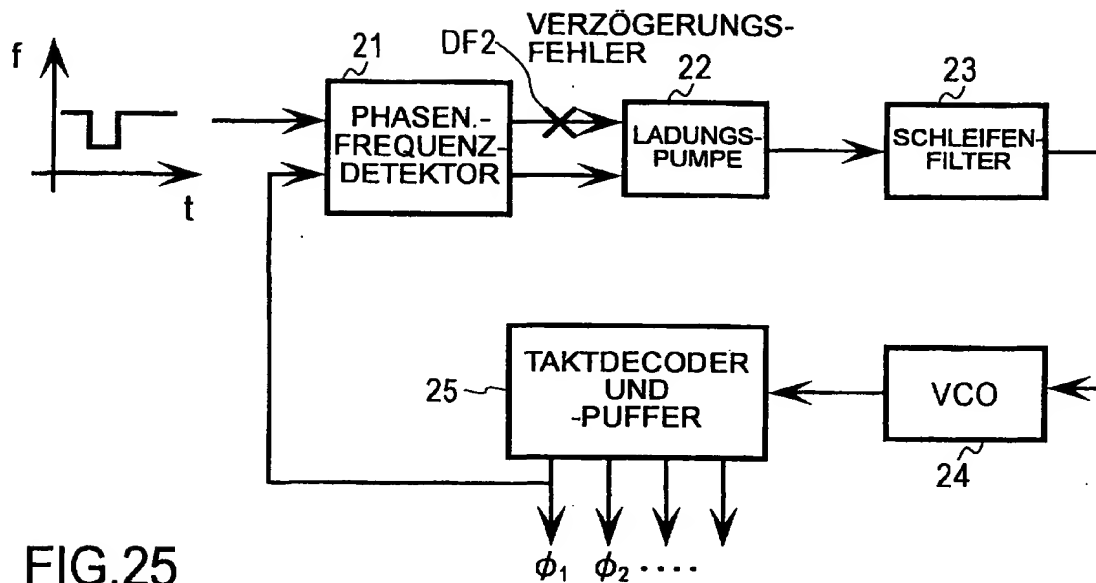


FIG. 26(a)

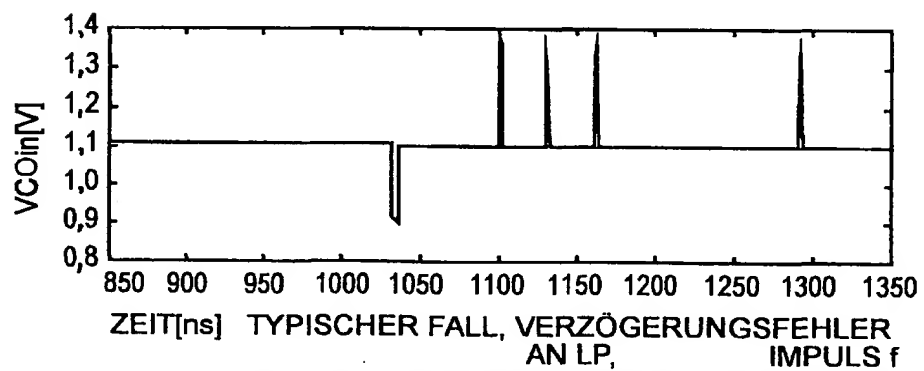
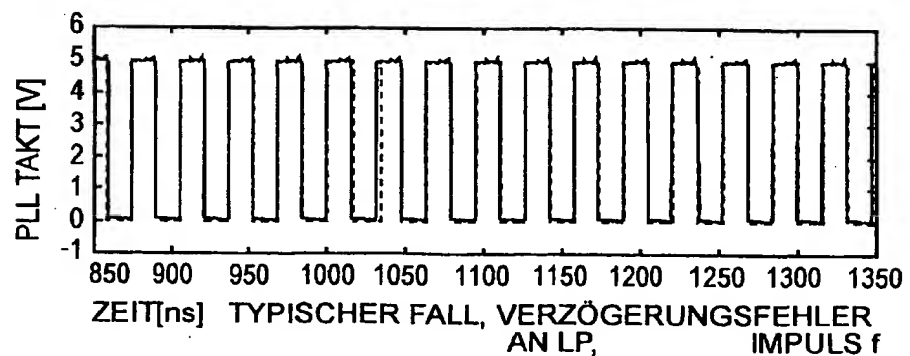


FIG. 26(b)



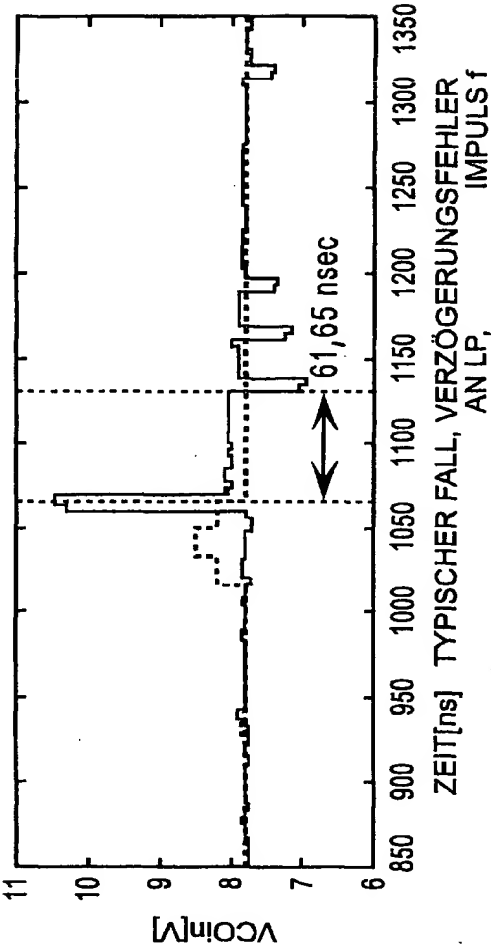


FIG.27(a)

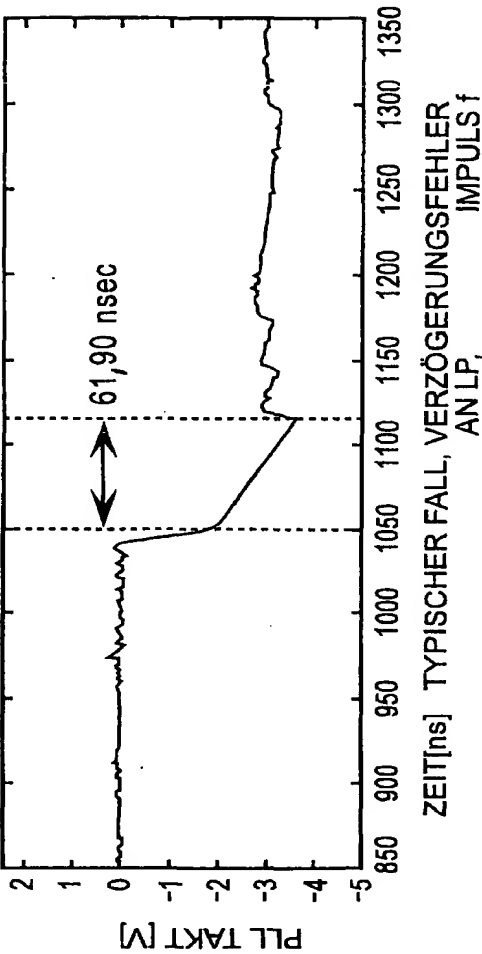


FIG.27(b)

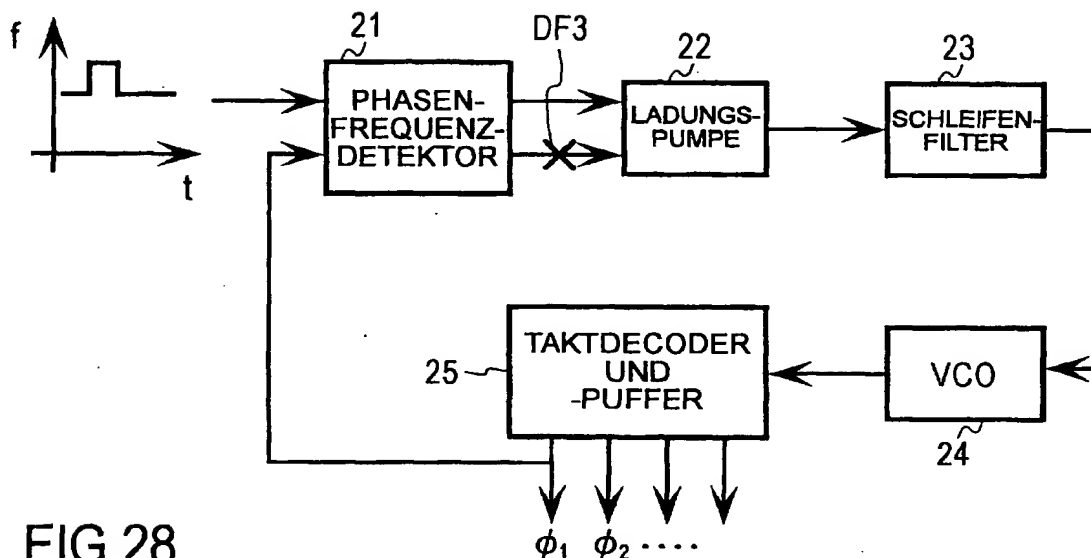


FIG.28

FIG.29(a)

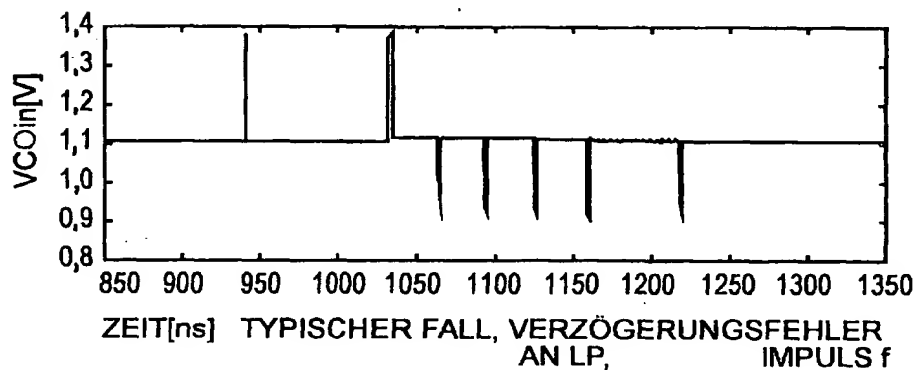
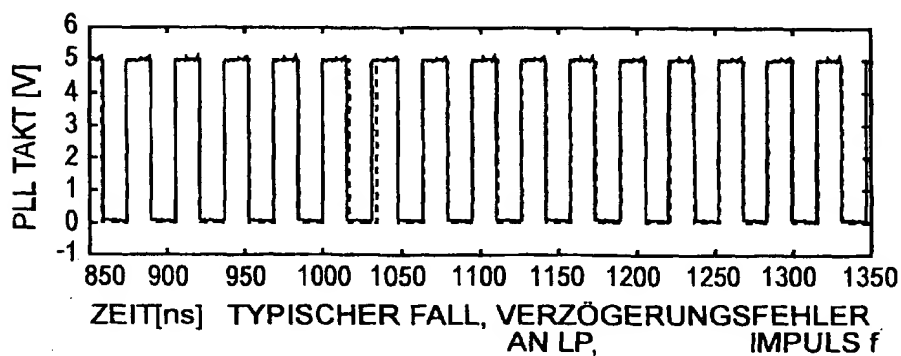


FIG.29(b)



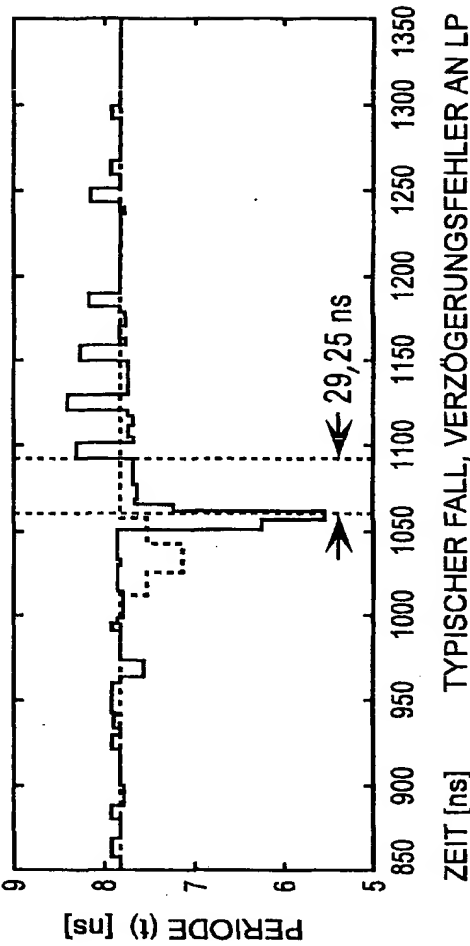


FIG.30(a)

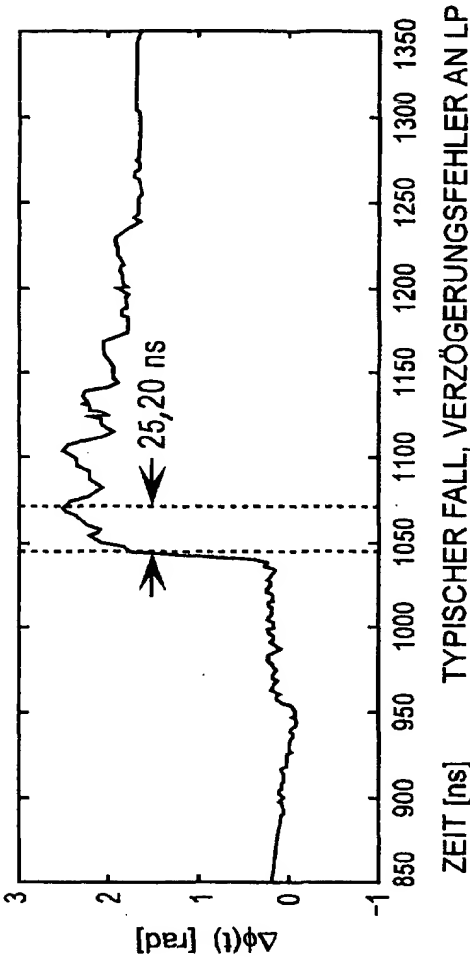


FIG.30(b)

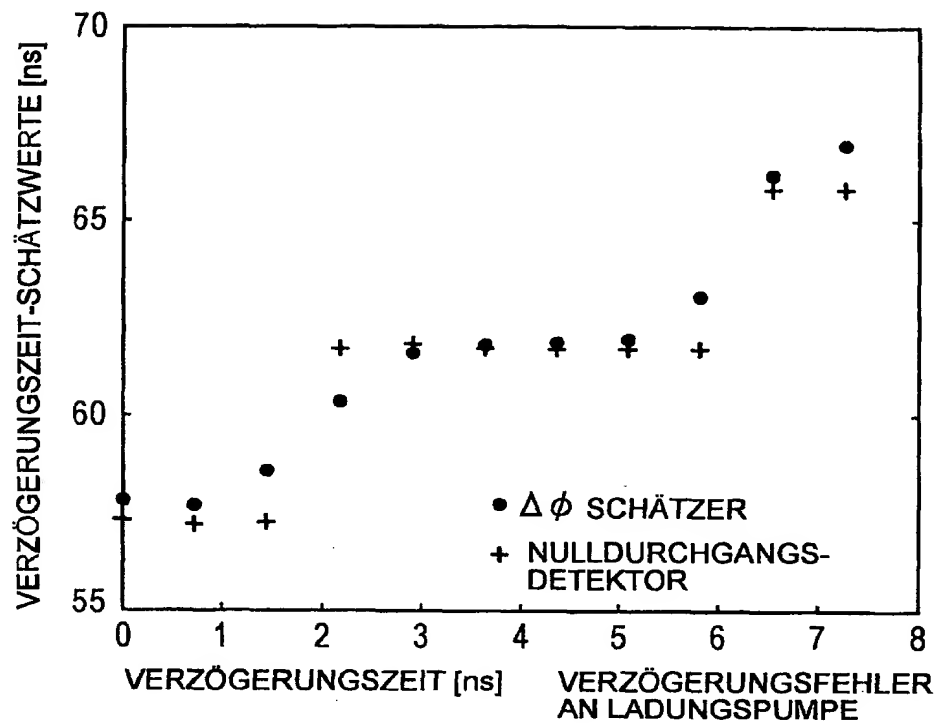


FIG.31

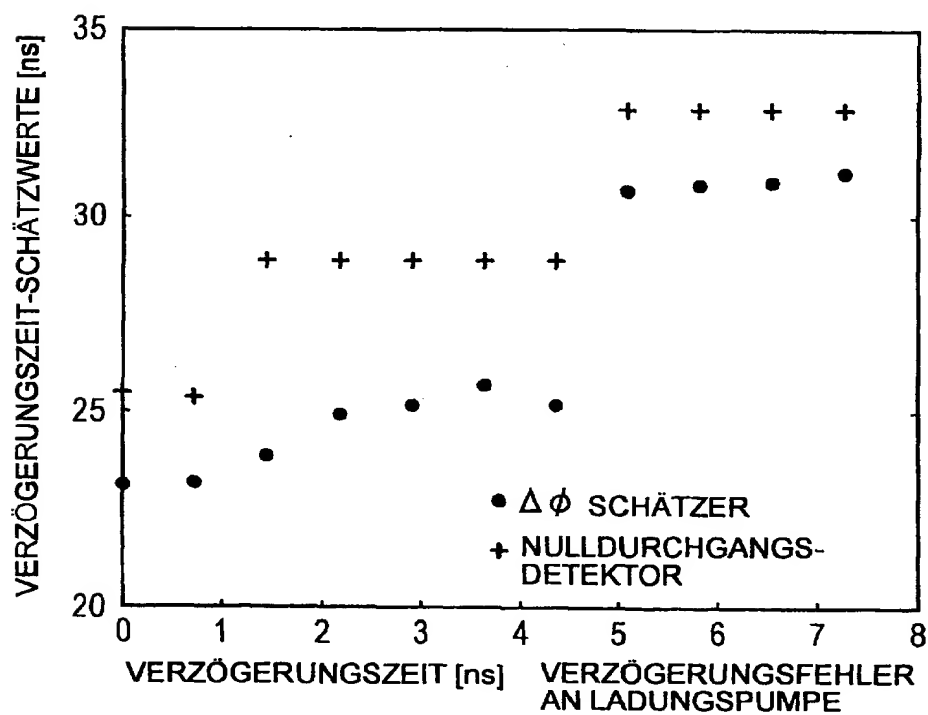


FIG.32

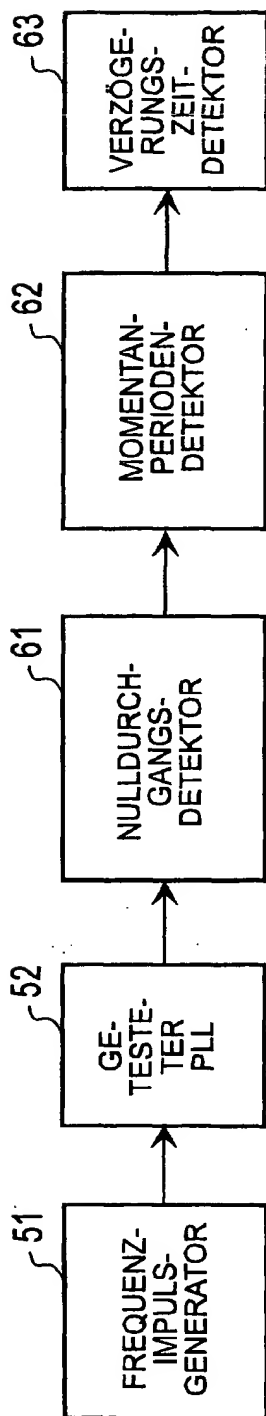


FIG.33

FIG.34

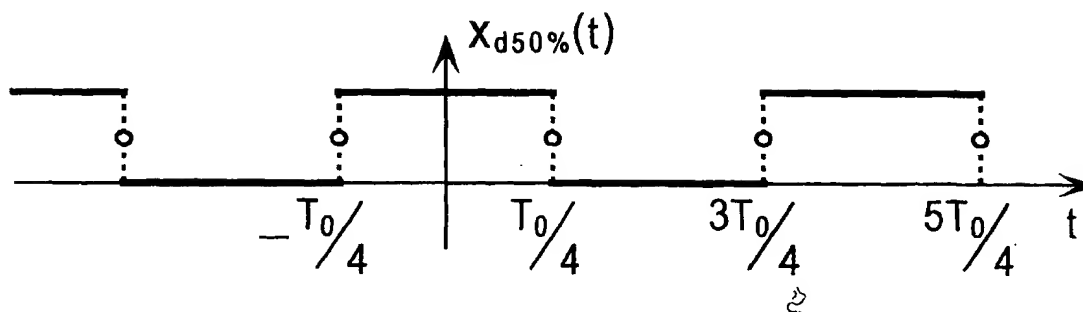


FIG.35(a)

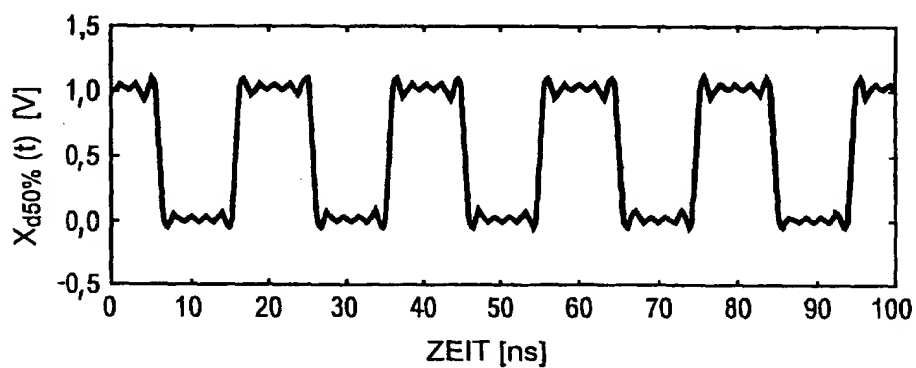


FIG.35(b)

